

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-233449

(43)Date of publication of application : 27.08.1999

(51)Int.Cl.

H01L 21/265  
H01L 21/762  
H01L 27/12

(21)Application number : 10-031037 (71)Applicant : DENSO CORP

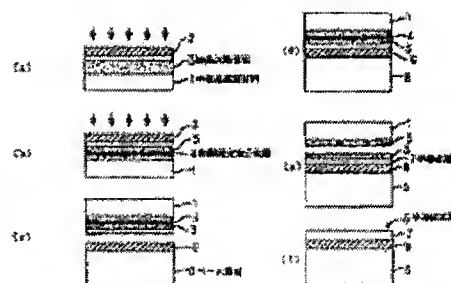
(22)Date of filing : 13.02.1998 (72)Inventor : YAMAUCHI SHOICHI  
MATSUI MASAKI  
OSHIMA HISAZUMI

## (54) MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

### (57)Abstract:

PROBLEM TO BE SOLVED: To improve uniformity in the film thickness of a semiconductor layer and reduce the time required for manufacturing, in manufacturing a semiconductor substrate having a semiconductor layer electrically insulated from a base substrate provided on the base substrate.

SOLUTION: A SOI substrate 8 is completed by carrying out (a) a first ion implantation step of implanting fluorine ions into a single crystal silicon substrate 1 having a contamination protective film 2 formed thereon and thus forming a crystal defect region 3, (b) a second ion implantation step of implanting hydrogen ions into the single crystal silicon substrate 1 and thus forming a peel-off element distribution layer 4 in the crystal defect region 3, (c) and (d) a bonding step of carrying out hydrophilic treatment on the surfaces of the single crystal silicon substrate 1 and a base substrate 5 and then bonding the substrates 1 and 5 on the hydrophilic-treated surfaces, (e) a peel-off step of peeling off the single crystal silicon substrate 1 at the part of the peel-off element distribution layer 4 by heat treatment and thus forming a single crystal silicon thin film 7, and (f) a planarization step of improving the surface roughness of the peel-off surface of the single crystal silicon thin film 7.



**Traduction automatique de JP 11-233449**

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacturing method of the semiconductor substrate which provides the semiconductor layer for element formation in the state where it is insulated with this electrically, on a base board.

[0002]

[Description of the Prior Art] There is a SOI substrate considered as the composition which provides a single-crystal-silicon thin film as a semiconductor layer as this kind of a semiconductor substrate, for example. Although such a SOI substrate is manufactured by various methods from before, a manufacturing method which was indicated in JP, H5-211128, A is known as a method of manufacturing comparatively easily.

[0003] That is, this manufacturing method forms the ion implantation layer from which pouring ion was distributed over the prescribed depth of the single crystal silicon substrate as the 1st step by carrying out the ion implantation of hydrogen gas or the rare gas from that oxide film side into the single crystal silicon substrate by which the oxide film for contamination protection was formed at the upper surface. Next, the base board which comprises the silicon wafer covered with the insulator layer is pasted together to the field by the side of the ion implantation of the above-mentioned single crystal silicon substrate, and it is made to combine with it by law etc. as the 2nd step. The exfoliation phenomenon bordering on the micro void portion formed in said ion implantation layer is caused by heat-treating as the 3rd step to the one thing of the above-mentioned single crystal silicon substrate and a base board. Thereby, the SOI substrate in the state where the single-crystal-silicon thin film is pasted up via the insulator layer is formed on a base board.

[0004]

[Problem to be solved by the invention] In order to form the ion implantation layer of state sufficient in the above manufacturing methods to cause an exfoliation phenomenon in a single crystal silicon substrate, it is necessary to set up the dose of ion very so much ( $1 \times 10^{16}$  -  $1 \times 10^{17}$  atoms /  $\text{cm}^2$  grade when it is a hydrogen ion). For this reason, the throughput in that ion implantation process gets worse, and the problem that manufacture of a SOI substrate takes a long time comes out.

[0005] On the other hand, it is 2 steps of helium and hydrogen ion-implantation technology (helium:  $5 \times 10^{15}$  atoms /  $\text{cm}^2$  and) about a substrate exfoliation phenomenon. Hydrogen: It is known that it can attain by  $1.5 \times 10^{16}$  atoms /  $\text{cm}^2$  (the 2nd separate volume of the 58th Japan Society of Applied Physics academic lecture meeting lecture proceedings (1997.10/Akita University), 818 pages, 3 p-PB-2 reference). However, even if it applied this technology to SOI substrate processing, as compared with the case where only hydrogen is poured in, an injection rate cannot be reduced so much. Therefore, even if it considers a 2 steps of helium and hydrogen ion implantation from a point of a throughput, it is hard to consider it to be a not necessarily effective technique.

[0006] Distribution of the ion generally poured in into the solid is distributed with a certain amount of breadth to the average pouring depth. It is thought that the breadth of this pouring depth affects the homogeneity of the thickness of the thin film layer obtained by substrate exfoliation. Although the factor which determines the breadth of the pouring depth is various, since the spatial distribution quantity of an injection element will increase if an injection rate becomes large, the breadth of a depth direction also becomes large. Therefore, if it is possible to reduce an injection rate, improvement in the thickness uniformity of the thin film obtained by substrate exfoliation will also

be attained.

[0007]Made in order that this invention may solve the above problems, the purpose is to aim at the reduction of the amount of ion implantations or the reduction of implantation processes used by a substrate peeling process. It is in providing the manufacturing method of the semiconductor substrate which can raise the thickness uniformity of the thin film which shortening of was attained substantially and exfoliated the time which manufacture takes depending on the case by reducing the amount of ion implantations especially.

[0008]

[Means for solving problem]In [ according to the manufacturing method of the semiconductor substrate indicated to Claim 1 ] the 1st ion implantation process, The crystal defect field (3, 12) from which the ion whose weight is comparatively large was poured [ surface / of the semiconductor substrate material (1) ] in, and it was distributed over the prescribed depth range is formed, In the 2nd ion implantation process performed after execution of this 1st ion implantation process, or before execution, Ion which is different from the 1st ion implantation process from the surface of said semiconductor substrate material (1) is poured in, and the element distribution layer for exfoliation (4) for causing the exfoliation phenomenon of the above-mentioned semiconductor substrate material (1) all over said crystal defect field (3, 12) is formed.

[0009]Subsequently, in a lamination process, after said base board (5) and said semiconductor substrate material (1) are stuck, heat treatment is performed in a peeling process. Exfoliation bordering on the element distribution layer (4) portion for exfoliation concerned arises with such heat treatment by the pressure buildup of the minute bubble produced in said element distribution layer (4) portion for exfoliation in the semiconductor substrate material (1). As a result, the semiconductor layer for element formation (7) can be formed filmy on a base board (5).

[0010]A crystal defect field (3, 12) will be efficiently formed by pouring of the ion of comparatively large weight, and it becomes unnecessary to increase the dose by the 1st ion implantation process according to such a manufacturing method. When different ion from the 1st ion implantation process is poured in and the element distribution layer for exfoliation (4) is formed all over the above-mentioned crystal defect field (3, 12) in the 2nd ion implantation process, It is thought that a dose required to cause an exfoliation phenomenon to a semiconductor substrate material (1) decreases substantially compared with the case where only the element distribution layer for exfoliation is formed with the ion concerned.

[0011]For this reason, the dose in each ion implantation process can be substantially reduced compared with the case where the element distribution layer for exfoliation is formed by one ion implantation, performing the 1st ion implantation process and 2nd ion implantation process. As a result, the throughput in the 1st and 2nd ion implantation processes improves, and the time which manufacture of a semiconductor substrate (8, 16) takes can be substantially shortened now. When the 2nd ion implantation process is made to be performed after performing the 1st ion implantation process, That is, when the element distribution layer for exfoliation (4) is formed afterwards all over a crystal defect field (3, 12), It turns out experimentally that dispersion (an observed value is the range of  $\pm 3\sigma$ ) in the depth position of the element distribution layer for exfoliation (4) becomes small about 1/3 compared with the case where the element distribution layer for exfoliation is formed by one ion implantation. For this reason, if it is made to perform the 1st and 2nd ion implantation processes in this order, it will enable it to come to stabilize the depth position of the element distribution layer for exfoliation (4) for every lot of the semiconductor substrate material for an ion implantation (1), and to improve the thickness uniformity of a semiconductor layer (7).

[0012]In [ according to the manufacturing method of the semiconductor substrate indicated to Claim 4 ] an ion implantation process, In [ the crystal defect field (3) from which the ion whose weight is comparatively large was poured / surface / of the semiconductor substrate material (1) / in, and it was distributed over the prescribed depth range is formed, and ] a next diffusion process, According to heat treatment of a temperature lower than the temperature which the exfoliation phenomenon of opposite *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. produces in said semiconductor substrate material (1) being performed, the above-mentioned element is incorporated all over said crystal defect field (3), and the element distribution layer for exfoliation (17) in the state where it was located all over the crystal defect field (3) concerned becomes as [ form / element distribution layer ].

[0013]Subsequently, in a lamination process, after said base board (5) and said semiconductor substrate material (1) are stuck, heat treatment is performed in a peeling process. Exfoliation bordering on the element distribution layer (17) portion for exfoliation concerned arises with such heat treatment by the pressure buildup of the minute bubble produced in said element distribution layer (17) portion for exfoliation in the semiconductor substrate material (1). As a result, the semiconductor layer for element formation (7) can be formed filmy on a base board (5).

[0014]A crystal defect field (3) will be efficiently formed by pouring of the ion of comparatively large weight, and it becomes unnecessary to increase the dose by an ion implantation process according to such a manufacturing method. The composition with which a diffusion process is performed after this ion implantation process, i.e., the composition by which the element distribution layer for exfoliation (17) is formed afterwards all over a crystal defect field (3), attains substrate exfoliation.

[0015]According to the manufacturing method of the semiconductor substrate indicated to Claim 8, the crystal defect field (3) from which the ion whose weight is comparatively large was poured [ surface / of the semiconductor substrate material (1) ] in, and it was distributed over the prescribed depth range in the ion implantation process is formed, and. In stage film formation, a hydrogenation amorphous semiconductor film (18) is formed on a semiconductor substrate material (1).

Corresponding [ and ] to heat treatment of a temperature lower than the temperature which the exfoliation phenomenon of opposite *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. produces in said semiconductor substrate material (1) being performed in a next diffusion process, The element distribution layer for exfoliation (17) in the state where the hydrogen diffused out of the above-mentioned hydrogenation amorphous semiconductor film (18) was incorporated all over said crystal defect field (3), and it was located all over the crystal defect field (3) concerned is formed.

[0016]Subsequently, in a lamination process, after said base board (5) and said semiconductor substrate material (1) are stuck, heat treatment is performed in a peeling process. Exfoliation bordering on the element distribution layer (17) portion for exfoliation concerned arises with such heat treatment by the pressure buildup of the minute bubble produced in said element distribution layer (17) portion for exfoliation in the semiconductor substrate material (1). As a result, the semiconductor layer for element formation (7) can be formed filmy on a base board (5).

[0017]A crystal defect field (3) will be efficiently formed by pouring of the ion of comparatively large weight, and it becomes unnecessary to increase the dose by an ion implantation process also with such a manufacturing method. After stage film formation of the hydrogenation amorphous semiconductor film (18) used as a hydrogen supply source is performed, The composition to which the diffusion process incorporated into the above-mentioned crystal defect field (3) is carried out in the hydrogen, i.e., the composition by which the element distribution layer for exfoliation (17) is formed afterwards all over a crystal defect field (3), attains substrate exfoliation.

[0018]According to the manufacturing method of the semiconductor substrate indicated to Claim 10, the crystal defect field (3) from which ion with comparatively large weight was poured in from the surface of a semiconductor substrate material (1), and it was distributed over the prescribed depth range in the ion implantation process is formed, and. In stage film formation, a hydrogenation amorphous semiconductor film (19) is formed on a base board (5). Then, in a lamination process, the field and said semiconductor substrate material (1) by the side of said hydrogenation amorphous semiconductor film (19) of said base board (5) are stuck. According to heat treatment of a temperature lower than the temperature which an exfoliation phenomenon produces with the semiconductor substrate material (1) of opposite *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. in said base board (5) and the one thing of a semiconductor substrate material (1) being performed in a diffusion process, The hydrogen diffused out of the above-mentioned hydrogenation amorphous semiconductor film (19) is incorporated all over said crystal defect field (3), and the element distribution layer for exfoliation (17) in the state where it was located all over the crystal defect field (3) concerned comes to be formed.

[0019]Subsequently, in connection with heat treatment being performed in a peeling process, exfoliation bordering on the element distribution layer (17) portion for exfoliation concerned arises by the pressure buildup of the minute bubble produced in said element distribution layer (17) portion for exfoliation in the semiconductor substrate material (1). As a result, the semiconductor layer for element formation (7) can be formed filmy on a base board (5).

[0020]A crystal defect field (3) will be efficiently formed by pouring of the ion of comparatively large weight, and it becomes unnecessary to increase the dose by an ion implantation process also with such a manufacturing method. The stage film formation which forms the hydrogenation amorphous semiconductor film (19) which serves as a hydrogen supply source at the base board (5) side, And after the lamination process of pasting together this base board (5) and semiconductor substrate material (1) is performed, The composition to which the diffusion process incorporated into said crystal defect field (3) is carried out in hydrogen in the hydrogenation amorphous semiconductor (19), i.e., the composition by which the element distribution layer for exfoliation (17) is formed afterwards all over a crystal defect field (3), attains substrate exfoliation.

[0021]In [ according to the manufacturing method of the semiconductor substrate indicated to Claim 12 ] an ion implantation process, According to the hydrogenation molecular ion which comprises the surface of a semiconductor substrate material (1) from the compound of hydrogen and the element for crystal defect formation whose weight is comparatively large being poured in, The element distribution layer for exfoliation (21) which comprises the hydrogen located the crystal defect field (20) which comprises the above-mentioned element for crystal defect formation distributed over the prescribed depth range, and all over this crystal defect field (20) is formed. And after a base board (5) and a semiconductor substrate material (1) are stuck in a lamination process, In connection with heat treatment being performed in a peeling process, exfoliation bordering on the element distribution layer (21) portion for exfoliation concerned arises by the pressure buildup of the minute bubble produced in said element distribution layer (21) portion for exfoliation in the semiconductor substrate material (1). As a result, the semiconductor layer for element formation (7) can be formed filmy on a base board (5).

[0022]The crystal defect field [ according to such a manufacturing method ] (20) according by 1 time of an ion implantation process to the element whose weight is comparatively large, It becomes unnecessary to increase the dose of ion, as a result of forming simultaneously the element distribution layer for exfoliation (21) by the hydrogen located all over this crystal defect field (20) and

forming the crystal defect field (20) and the element distribution layer for exfoliation (21) which comprise a different element in this way. For this reason, since the throughput in an ion implantation process comes to improve, and it divides into multiple times and it becomes unnecessary to perform an ion implantation, the time which manufacture of a semiconductor substrate (8) takes generally can be shortened substantially.

[0023]

[Mode for carrying out the invention](A 1st embodiment) The 1st working example that applied this invention to the manufacturing method of the SOI substrate is shown in drawing 1 and drawing 2, and this is explained below. The basic process in the case of manufacturing a SOI substrate is shown to drawing 1 by the typical sectional view. Namely, in the 1st ion implantation process shown in drawing 1 (a). After forming the contamination protective film 2 which changes from silicon oxide by thermal oxidation etc. on the single crystal silicon substrate 1 (equivalent to the semiconductor substrate material as used in the field of this invention), To the single crystal silicon substrate 1, as a figure Nakaya seal shows, the crystal defect field 3 from which it was distributed over the prescribed depth range in the state of having been parallel to the surface of the single crystal silicon substrate 1 is formed by pouring in a fluorine ion from the contamination protective film 2 side.

[0024]In this case, more than  $1 \times 10^{14}$  atoms /  $\text{cm}^2$  set up the dose of a fluorine ion preferably  $1 \times 10^{15}$  atoms / more than  $\text{cm}^2$ . Ion implantation energy will be set up according to the depth which forms the crystal defect field 3. When making profitably like the distribution state which poured in the fluorine ion, for example, specifically formed the peak in a depth of about 450 nm of the single crystal silicon substrate 1, it is set as the infused energy before and behind about 200 KeV(s).

[0025]The ion used by the 1st ion implantation process of the above is not restricted to fluoride, if ion weight other than hydrogen and helium is ionic species which can disconnect themselves out of single crystal silicon according to heat treatment comparatively greatly, and it should not just have an adverse effect on the single crystal silicon substrate 1. Therefore, rare gas like chlorine, silicon or neon, argon, and a xenon, etc. can be used, for example. What is necessary is to be formed by the depositing methods, such as the membrane formation or the CVD method by thermal oxidation, and PVD, so that it may become uniform thickness (preferably about 50-100 nm), but just to form the above-mentioned contamination protective film 2 if needed.

[0026]Then, in the 2nd ion implantation process shown in drawing 1 (b). By [ which is the ion in which said 1st ion implantation processes differ from the surface of the single crystal silicon substrate 1 ] pouring in a hydrogen ion, for example, the element distribution layer 4 for exfoliation for causing the exfoliation phenomenon of the above-mentioned single crystal silicon substrate 1 is formed all over said crystal defect field 3. This element distribution layer 4 for exfoliation is formed so that it may be distributed in the state of having been parallel to the surface of the single crystal silicon substrate 1.

[0027]In this case, more than  $5 \times 10^{15}$  atoms /  $\text{cm}^2$  set up the dose of a hydrogen ion preferably  $1 \times 10^{16}$  atoms / more than  $\text{cm}^2$ . As for ion implantation energy, it is desirable to set up so that the peak of the concentration of the element distribution layer 4 for exfoliation formed at this time may be in agreement with the peak of the concentration of said crystal defect field 3. A hydrogen ion is poured in, and when making profitably like the distribution state which formed the peak in the same depth (a depth of about 450 nm of the single crystal silicon substrate 1) as the crystal defect field 3, specifically, it will be set as the infused energy of about 50 KeV.

[0028]Here the dose of the fluorine ion in the 1st ion implantation process  $1 \times 10^{15}$  atoms /  $\text{cm}^2$ , The dose of about 200 KeV(s) and the hydrogen ion in the 2nd ion implantation process for the ion

implantation energy  $1 \times 10^{16}$  atoms/cm<sup>2</sup>, When the ion implantation energy is set to about 50 KeV(s), the profile of the concentration distribution of the fluoride in the single crystal silicon substrate 1 and hydrogen comes to be shown in drawing 2.

[0029]And when it is constituted so that the concentration peak of the crystal defect field 3 and the element distribution layer 4 for exfoliation may be mostly in agreement in this way. The dose which is needed for causing the phenomenon in which the single crystal silicon substrate 1 exfoliates in the element distribution layer 4 portion for exfoliation concerned, by heat treatment by the below-mentioned peeling process, It will be in state sufficient in the above examples (fluorine ion:  $1 \times 10^{15}$  atoms / cm<sup>2</sup>, hydrogen ion:  $1 \times 10^{16}$  atoms / cm<sup>2</sup>). In the 2nd ion implantation process, an atomic ion or molecular ion, such as rare gas like helium, can be used in addition to the atomic ion or molecular ion of hydrogen.

[0030]After execution of the 2nd ion implantation process of the above, the lamination process shown in drawing 1 (c) and (d) is performed. In this lamination process, the chemical etching which used fluoric acid solution, for example, or mechanical polishing and dry etching all remove the contamination protective film 2 on the single crystal silicon substrate 1 first, and the field by the side of that ion implantation is exposed. Subsequently, for example, the base board 5 which comprises a single crystal silicon substrate is prepared, and the insulator layer 6 which changes from the silicon oxide of uniform thickness with thermal oxidation, a CVD method, etc. on this base board 5 is formed. This insulator layer 6 turns into an insulated separation film, when SOI structure is formed eventually, and that thickness is set as the value according to the design shape of the SOI substrate.

[0031]Hydrophilization treatment is performed to the surface by the side of the ion implantation of the single crystal silicon substrate 1, and the surface by the side of the insulator layer 6 of the base board 5. After specifically performing washing and pure water washing by the mixed solution (H<sub>2</sub>SO<sub>4</sub> : H<sub>2</sub>O<sub>2</sub> = 4:1) of sulfuric acid and hydrogen peroxide solution which were kept warm by about 90-120 \*\*, for example one by one, the moisture content which sticks to the surface of each substrates 1 and 5 by spin drying is controlled. And the single crystal silicon 1 and the base board 5 are stuck in respect of [ above-mentioned ] hydrophilization treatment, and are pasted together next. This pastes up each substrates 1 and 5 by the hydrogen bond of the water molecule which stuck to the silanol group and the surface which were formed in each surface.

[0032]Although the contamination protective film 2 on the single crystal silicon substrate 1 was considered as the all removed composition in this working example, It is good also as composition which is pasted together by removing only the surface of the contamination protective film 2, and is used as a field, and when such a contamination protective film 2 can be used as an insulated separation film in SOI structure, it becomes unnecessary to form the insulator layer 6 in said base board 5 side.

[0033]After execution of the above-mentioned lamination process, the peeling process shown in drawing 1 (e) is performed. In this peeling process, by heat-treating to the one thing of the single crystal silicon substrate 1 and the base board 5, The single crystal silicon substrate 1 will be exfoliated in said element distribution layer 4 portion for exfoliation, and the SOI structure of the form by which the single-crystal-silicon thin film 7 (equivalent to the semiconductor layer as used in the field of this invention) was laminated via the insulator layer 6 will be formed on the base board 5 by this.

[0034]When the element distribution layer 4 for exfoliation is specifically formed by pouring of a hydrogen ion like this example at this time, it is preferred to heat-treat at about 500-600 \*\*. The pressure of the minute bubble produced by the hydrogen arranged by such heat treatment in the element distribution layer 4 for exfoliation formed all over the crystal defect field 3 will come to rise,

and exfoliation bordering on the element distribution layer 4 portion for exfoliation concerned will arise according to this.

[0035] After execution of this peeling process, a heat treatment process is performed succeeding. Strengthen the bonding strength of said lamination side with this heat treatment process by performing hot (not less than 1000 \*\*, preferably 1150 \*\* - about 1200 \*\*) heat treatment from the heat treatment temperature in a peeling process, and. The disconnection out of relaxation of element distribution layer 4 portion for exfoliation which caused exfoliation, and the crystal structure of the fluoride which constitutes the crystal defect field 3 is promoted.

[0036] In this case, in the surface of separation of the above single-crystal-silicon thin films 7, the defect layer formed in connection with the ion implantation will remain, and minute step difference will arise. For this reason, by performing chemical mechanical polishing to the above-mentioned surface of separation in this example, He is trying to complete SOI substrate 8 (equivalent to the semiconductor substrate as used in the field of this invention) as removed the above-mentioned defect layer and minute step difference, and performed the flattening process (refer to drawing 1 (f)) of raising surface roughness, with eventually shown in the drawing 1 (f). However, what is necessary is just to perform the above-mentioned flattening process if needed.

[0037] The single crystal silicon substrate 1 in which single-crystal-silicon thin film 7 portion exfoliated through the peeling process, For example, it is reused for manufacture of other SOI substrates by performing the heat treatment process which disconnects fluoride out of the saved crystal defect field 3, and the flattening process for reproduction of carrying out the flattening of the surface of separation.

[0038] Since the crystal defect field 3 is formed, it becomes unnecessary to increase the dose in the 1st ion implantation process by pouring of the ion with comparatively large weight (this example fluorine ion) which can form a crystal defect efficiently according to the manufacturing method of above-mentioned SOI substrate 8. When different ion (this example hydrogen ion) from the 1st ion implantation process is poured in and the element distribution layer 4 for exfoliation is formed all over the above-mentioned crystal defect field 3 according to execution of the 2nd ion implantation process, It is known that a dose required to cause an exfoliation phenomenon in the single crystal silicon substrate 1 will decrease substantially compared with the case where only the element distribution layer 4 for exfoliation is formed by the hydrogen ion concerned.

[0039] For this reason, the dose in each ion implantation process can be substantially reduced compared with the case where the element distribution layer for exfoliation is formed by one ion implantation, performing the 1st ion implantation process and 2nd ion implantation process.

[0040] It is as follows, when a concrete example is given and this is explained. Namely, when only the hydrogen ion was poured in and the element distribution layer for exfoliation is formed into a single crystal silicon substrate like before, In order to generate a positive exfoliation phenomenon in the above-mentioned element distribution layer portion for exfoliation according to heat treatment, it is desirable to set it, for example as the dose about  $8 \times 10^{15}$  atoms /  $\text{cm}^2$ . On the other hand, in the manufacturing method by this example, in order to generate a positive exfoliation phenomenon in element distribution layer 4 portion for exfoliation. As for the dose of the hydrogen ion for  $1 \times 10^{15}$  atoms /  $\text{cm}^2$  grade, and the element distribution layer 4 for exfoliation, it is experimentally clear the dose's of the fluorine ion for the crystal defect field 3 to end with  $1 \times 10^{16}$  atoms /  $\text{cm}^2$  grade.

[0041] The sum total of the ion-implantation time in the case of performing such the 1st ion implantation process and 2nd ion implantation process is about (actually) 0.45 hour. In addition, by the conventional manufacturing method, the injection time of a hydrogen ion is needed to ending



with necessity about 5 to 10 minutes for about 3.2 hours for the change between each process. therefore, according to the manufacturing method of this example, compared with the conventional manufacturing method which performs only pouring of a hydrogen ion, the throughput which leads the 1st and 2nd ion implantation processes can be markedly alike, and can improve, and the time which manufacture of SOI substrate 8 takes can be substantially shortened now.

[0042]When the 2nd ion implantation process is made to be performed like this example after performing the 1st ion implantation process, That is, when the element distribution layer 4 for exfoliation is formed afterwards all over the crystal defect field 3, becoming small about 1/3 compared with the case where dispersion in the depth position of the element distribution layer 4 for exfoliation (an observed value is the range of  $\pm 3\sigma$ ) does not form the crystal defect field 3 is known experimentally. It is because this realized substrate exfoliation in the small amount of ion implantations, and it becomes possible to improve the thickness uniformity of the single-crystal-silicon thin film 7. In the 1st working example of the above, the 1st ion implantation process and 2nd ion implantation process may be performed by a reverse order.

[0043](A 2nd embodiment) The 2nd working example of this invention is shown in drawing 3 and drawing 4, and only a portion which is below different from said 1st working example about this is explained. Drawing 3 and drawing 4 show the basic process in the case of manufacturing a SOI substrate like said drawing 1 with a typical sectional view. That is, this 2nd working example tends to indicate the manufacturing method for which it was suitable when embedded pattern structures (for example, backgate for an element like FET, etc.) were formed between the base board in a SOI substrate, and a single-crystal-silicon thin film.

[0044]First, in the pattern structure formation process shown in drawing 3 (a), the silicon oxide 9a which turns into the insulator layer 9 (refer to drawing 4 (j)) eventually by thermal oxidation etc. is formed in the surface side of the single crystal silicon substrate 1. Then, after making polycrystalline silicon deposit with a CVD method etc., the polycrystalline silicon film 10 of prescribed shape is formed by patterning the deposited film by photolithography processing and an etching process. The silicon oxide 9b which turns into the insulator layer 9 eventually with a CVD method etc. is made to deposit, with the embedded pattern structure 11 is formed.

[0045]Next, in the 1st ion implantation process shown in drawing 3 (b), to the single crystal silicon substrate 1, as a figure Nakaya seal shows, the crystal defect field 12 from which it was distributed over the prescribed depth range is formed by pouring in a fluorine ion from the embedded pattern structure 11 side. This crystal defect field 12 will be in the state where originated in existence of the embedded pattern structure 11, and it lenticulated. In this case, more than  $1 \times 10^{14}$  atoms /  $\text{cm}^2$  set up the dose of a fluorine ion preferably  $1 \times 10^{15}$  atoms / more than  $\text{cm}^2$ . Ion implantation energy will be set up according to the depth which forms the crystal defect field 12.

[0046]In next, as shown in drawing 3 (c) and (d), said 1st ion implantation process performs the 2nd ion implantation process for [ which is different ion ] pouring in a hydrogen ion, for example in 2 steps to the single crystal silicon substrate 1. That is, in order to form the element distribution layer 4 for exfoliation distributed all over said crystal defect field 12 in the state of having been parallel to the surface of the single crystal silicon substrate 1. In order that the necessity of controlling ion implantation energy in consideration of change of the ion-implantation depth by difference of the structure of an ion implantation region may come out, the 2nd ion implantation process is performed in 2 steps.

[0047]By the 2nd ion implantation process, first, as shown in drawing 3 (c), specifically, The resist pattern 13 by photoresist is formed in the polycrystalline silicon film 10 in the embedded pattern

structure 11 on the single crystal silicon substrate 1, and the corresponding portion, and the ion implantation region 4a is formed by pouring in the 1st hydrogen ion in this state. Subsequently, as shown in drawing 3 (d), after exfoliating the above-mentioned resist pattern 13, The resist pattern 14 by photoresist is formed in the polycrystalline silicon film 10 in the embedded pattern structure 11, and a not corresponding portion, The ion implantation region 4b is formed in this state by performing pouring of the 2nd hydrogen ion, where that ion-implantation energy is made larger than the 1st time. More than  $5 \times 10^{15}$  atoms /  $\text{cm}^2$  set up the dose of a hydrogen ion preferably  $1 \times 10^{16}$  atoms / more than  $\text{cm}^2$ . The resist pattern 14 exfoliates after an ion implantation.

[0048]In this case, the 1st time and the 2nd ion implantation energy, It is set up so that the concentration peak of the ion implantation regions 4a and 4b may serve as the same depth, and the element distribution layer 4 for exfoliation distributed all over the crystal defect field 12 by this in the state of having been parallel to the surface of the single crystal silicon substrate 1 is formed.

[0049]Although the crystal defect field 12 formed by pouring of a fluorine ion is in the state where it lenticulated, in this case, As shown in drawing 2 mentioned above, since the concentration distribution of the fluoride in the single crystal silicon substrate 1 is changing comparatively gently to change of the depth, big trouble does not occur it. That is, it is what can attain the desired end if more than  $1 \times 10^{19}$  atoms /  $\text{cm}^3$  have the concentration in the crystal defect field 12, Therefore, trouble is lost even if it forms the element distribution layer 4 for exfoliation in the state of having been parallel to the surface of the single crystal silicon substrate 1, all over the crystal defect field 12 in the state where it lenticulated.

[0050] It can also have composition which forms the crystal defect field from which it was distributed over the prescribed depth range in the state of having been parallel to the surface of the single crystal silicon substrate 1 by performing said 1st ion implantation process in 2 steps with the same technique as the 2nd ion implantation process that was mentioned above.

[0051]Next, in the flattening film stage film formation shown in drawing 3 (e), the flattening treatment film 15 which uses a CVD method, PVD, etc. and changes from polycrystalline silicon, an amorphous silicon, or silicon oxide on the embedded pattern structure 11 is formed. Then, in the lamination side formation process shown in drawing 3 (f), by grinding the surface of the above-mentioned flattening treatment film 15, the surface step resulting from the embedded pattern structure 11 used as a ground is removed, with the flattening of that surface is carried out.

[0052]In next, the lamination process shown in drawing 4 (g) and (h) is performed. In this lamination process, the same hydrophilization treatment as said 1st working example is first performed to the surface of the flattening treatment film 15 in the single crystal silicon substrate 1, and the surface of the base board 5. And the single crystal silicon 1 and the base board 5 are stuck in respect of [ above-mentioned ] hydrophilization treatment, and are pasted together next. This pastes up each substrates 1 and 5 by the hydrogen bond of the water molecule which stuck to the silanol group and the surface which were formed in each surface.

[0053]After execution of the above-mentioned lamination process, the peeling process shown in drawing 4 (i) is performed. In this peeling process, by performing the same heat treatment as the 1st working example to the one thing of the single crystal silicon substrate 1 and the base board 5, The single crystal silicon substrate 1 will be exfoliated in said element distribution layer 4 portion for exfoliation, and the SOI structure of the form by which the single-crystal-silicon thin film 7 was laminated via the embedded pattern structure 11 etc. will be formed on the base board 5 by this.

[0054]After execution of this peeling process, strengthen the bonding strength of said lamination side by performing a heat treatment process (a processing condition is the same as the 1st working

example) succeeding, and. The disconnection out of relaxation of element distribution layer 4 portion for exfoliation which caused exfoliation, and the crystal structure of the fluoride which constitutes the crystal defect field 12 is promoted. He is trying to complete SOI substrate 16 (equivalent to the semiconductor substrate as used in the field of this invention) provided with the embedded pattern structure 11 as performed the flattening process (refer to drawing 4 (j)) of performing chemical mechanical polishing to the above-mentioned surface of separation, with eventually shown in the drawing 4 (j). What is necessary is just to perform the above-mentioned flattening process if needed.

[0055]Also by this example constituted in this way, the same effect as said 1st working example is done so. According to this example, the plane of composition between the single-crystal-silicon thin film 7 and the embedded pattern structure 11 in SOI substrate 16 especially, Since it will be equivalent to the interface of the single crystal silicon substrate 1 and the silicon oxide 9a formed in the surface of this of thermal oxidation etc., the characteristic as a SOI substrate comes to improve by the ability to change the interface into the state where it was stabilized.

[0056]Although it had composition which forms the embedded pattern structure 11 in the single crystal silicon substrate 1 side in the pattern structure formation process in the 2nd working example of the above, Replace with this and the pattern structure formation process which forms embedded pattern structure by performing processing treatment to the surface side of the base board 5 is performed, It is good also as composition which establishes said embedded pattern structure between the base board 5 and the single-crystal-silicon thin film 7 by performing similarly flattening film stage film formation, a lamination side formation process, a lamination process, a peeling process, etc. next. It becomes unnecessary in this case, to perform the 2nd ion implantation process in 2 steps like the 2nd working example.

[0057](A 3rd embodiment) The 3rd working example of this invention is shown in drawing 5, and only a portion which is below different from said 1st working example about this is explained. Drawing 5 shows the basic process in the case of manufacturing a SOI substrate like said drawing 1 with a typical sectional view.

[0058]Namely, in the ion implantation process shown in drawing 5 (a). After forming the contamination protective film 2 which changes from silicon oxide by thermal oxidation etc. on the single crystal silicon substrate 1 like the 1st ion implantation process in the 1st working example, To the single crystal silicon substrate 1, as a figure Nakaya seal shows, the crystal defect field 3 from which it was distributed over the prescribed depth range in the state of having been parallel to the surface of the single crystal silicon substrate 1 is formed by pouring in a fluorine ion from the contamination protective film 2 side.

[0059]Then, in the diffusion process shown in drawing 5 (b), a temperature lower than the lower limit of the temperature (not less than about 500 \*\*) which the exfoliation phenomenon of opposite *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. produces in the single crystal silicon substrate 1 in the atmosphere which is a pouring ion element (fluoride) in the above-mentioned ion implantation process and a different element, and which contains hydrogen gas, for example is heat-treated. What is necessary is just to form the above-mentioned hydrogen gas atmosphere by passing hydrogen as carrier gas in atmospheric pressure or the air chamber in the state (a vacua is also included) where it decompressed, for example.

[0060]According to such heat treatment, hydrogen comes to be incorporated all over said crystal defect field 3 out of hydrogen gas atmosphere, and the element distribution layer 17 for exfoliation in the state where this was intensively located in the high concentration portion (crystal defects are

many portions relatively) in the crystal defect field 3 concerned is formed. In this case, as for the hydrogen concentration of the element distribution layer 17 for exfoliation, it is desirable to set up more than  $1 \times 10^{20}$  atoms/cm<sup>3</sup>.

[0061] Heat treating time (time required of a diffusion process) required to form the above element distribution layers 17 for exfoliation can be drawn from the following expressions of relations. For example Namely, S.J. Pearton and J.W. Corbett, M. As indicated to "Hydrogen in Crystalline Semiconductors" written by Stavola, and Springer-Verlag publication (October, 1991), The average value of the diffusion length X (cm) when carrying out impurity diffusion by heat treatment to silicon is given by  $X = (Dt)^{1/2}$ . However, D is a diffusion coefficient (cm<sup>2</sup>/sec) and t is heat-treating-time (sec). The diffusion coefficient D is given with a following formula.

[0062]  $D = D_0 \exp(-E_a/kT)$

However, D<sub>0</sub> is a D value when temperature is infinite, and, as for  $D_0 = 4.2 \times 10^{-5}$  (cm<sup>2</sup>/sec) and E<sub>a</sub>, the Boltzmann coefficient (=  $8.667 \times 10^{-5}$  (eV/K)) and T of activation energy (= 0.56 (eV)) and k are temperature (K).

[0063] Heat treatment temperature in for example, 200 °C and the state where the thickness of the contamination protective film 2 is 100 nm. In the case where the heat treating time at the time of diffusing hydrogen in 400-nm Fukushima in the single crystal silicon substrate 1 is found, When it assumes roughly as the diffusion coefficient in the silicon oxide which constitutes the above-mentioned contamination protective film 2 being almost equivalent, according to the operation based on each above-mentioned expression of relations, it turns out that what is necessary is just to perform heat treatment of about 1.5 hours about.

[0064] On the other hand after execution of the above diffusion processes, the lamination process shown in drawing 5 (c) and (d) is performed like the 1st working example, After pasting together the single crystal silicon substrate 1 and the base board 5, the peeling process shown in drawing 5 (e) is performed like the 1st working example, the single crystal silicon substrate 1 is exfoliated in element distribution layer 17 portion for exfoliation, and SOI structure is formed. A hot heat treatment process is performed like the 1st working example after execution of a peeling process, After aiming at promotion etc. of the disconnection out of the crystal structure of the fluoride which constitutes strengthening and the crystal defect field 3 of the bonding strength of the lamination side of both the boards 1 and 5, the flattening process shown in drawing 5 (f) is performed like the 1st working example, and SOI substrate 8 is made completed.

[0065] Also with the manufacturing method by this 3rd working example, in an ion implantation process. By pouring of the fluorine ion with comparatively large weight which can form a crystal defect efficiently, since the crystal defect field 3 is formed, it becomes unnecessary to increase the dose and the time required of the ion implantation process concerned becomes short. The time required of the diffusion process performed next is also what can be managed in about about 1.5 hours according to the conditions which were mentioned above, The throughput which leads an ion implantation process and a diffusion process improves compared with the conventional manufacturing method which performs only pouring of a hydrogen ion, and the time which manufacture of SOI substrate 8 takes can be shortened now.

[0066] In this 3rd working example, although it had composition which performs heat treatment by a diffusion process in hydrogen gas atmosphere, it is good also as composition performed in the atmosphere of the vacua which plasma-ized hydrogen. The element used by a diffusion process may use hydrides, such as rare gas, such as not only hydrogen but helium, NH<sub>4</sub>, CH<sub>4</sub>, H<sub>2</sub>O.

[0067] (A 4th embodiment) The 3rd working example of the above and the 4th working example of

this invention which does the almost same effect so are shown in drawing 6, and only a portion which is below different from said 1st working example and the 3rd working example about this is explained. Drawing 6 shows the basic process in the case of manufacturing a SOI substrate like said drawing 1 with a typical sectional view.

[0068]Namely, in the ion implantation process shown in drawing 6 (a). After forming the contamination protective film 2 which changes from silicon oxide by thermal oxidation etc. on the single crystal silicon substrate 1 like the 1st ion implantation process in the 1st working example, To the single crystal silicon substrate 1, as a figure Nakaya seal shows, the crystal defect field 3 from which it was distributed over the prescribed depth range in the state of having been parallel to the surface of the single crystal silicon substrate 1 is formed by pouring in a fluorine ion from the contamination protective film 2 side.

[0069]Next, in the stage film formation shown in drawing 6 (b), the hydrogenated-amorphous-silicon film 18 (equivalent to the hydrogenation amorphous semiconductor film as used in the field of this invention) is formed on the single crystal silicon substrate 1 in the state or the state (the example after drawing 6 (b) shows the state where it left) where it removed which left the contamination protective film 2. Specifically the above-mentioned hydrogenated-amorphous-silicon film 18, By the high frequency plasma CVD method using the gas source (for example, Ar or H<sub>2</sub> dilution gas of SiH<sub>4</sub>) of the silicon system, it deposits under the conditions of 350 \*\* and 0.5torr, and the hydrogen concentration is made into  $5 \times 10^{21}$  atoms / cm<sup>3</sup> grade, for example. What is necessary is just to set the thickness of the hydrogenated-amorphous-silicon film 18 as not less than about 10 nm, when the hydrogen concentration is in the above states.

[0070]Then, in the diffusion process shown in drawing 6 (c), a temperature lower than the lower limit of the temperature (not less than about 500 \*\*) which the exfoliation phenomenon of opposite *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. produces in the single crystal silicon substrate 1 is heat-treated. According to such heat treatment, the hydrogen which carries out solid phase diffusion out of the hydrogenated-amorphous-silicon film 18 comes to be incorporated all over said crystal defect field 3, The element distribution layer 17 for exfoliation in the state where this was intensively located in the high concentration portion (crystal defects are many portions relatively) in the crystal defect field 3 concerned is formed. In this case, as for the hydrogen concentration of the element distribution layer 17 for exfoliation, it is desirable to set up more than  $1 \times 10^{20}$  atoms/cm<sup>3</sup>. It is thought that heat treating time (time required of a diffusion process) required to form the above element distribution layers 17 for exfoliation becomes almost equivalent to the heat treating time in the diffusion process in said 3rd working example.

[0071]After execution of the above diffusion processes, after performing the removal process which removes the hydrogenated-amorphous-silicon film 18, for example using the etching reagent of TMAH or a FUTSU nitric acid system, the lamination process shown in drawing 6 (c) and (d) is performed like said 1st working example. In this lamination process, where removal of the contamination protective film 2, hydrophilization treatment of a lamination side, etc. are performed, the single crystal silicon substrate 1 and the base board 5 are pasted together. The peeling process shown in drawing 6 (e) is performed like the 1st working example, the single crystal silicon substrate 1 is exfoliated in element distribution layer 17 portion for exfoliation, and SOI structure is formed next. A hot heat treatment process is performed like the 1st working example after execution of a peeling process, After aiming at promotion etc. of the disconnection out of the crystal structure of the fluoride which constitutes strengthening and the crystal defect field 3 of the bonding strength of the lamination side of both the boards 1 and 5, the flattening process shown in drawing 6 (f) is

performed like the 1st working example, and SOI substrate 8 is made completed.

[0072]What is necessary is just to perform the removal process for removing the hydrogenated-amorphous-silicon film 18 in this 4th working example, if needed, in having composition as which this is operated as an insulated separation film of SOI structure by leaving the contamination protective film 2.

[0073](A 5th embodiment) The 5th working example of this invention which added change to the 4th working example of the above is shown in drawing 7, and only a portion which is below different from said 1st working example and the 4th working example about this is explained. Drawing 7 shows the basic process in the case of manufacturing a SOI substrate like said drawing 1 with a typical sectional view.

[0074]That is, in the ion implantation process shown in drawing 7 (a), the same processing as the 1st ion implantation process in the 1st working example is performed. Next, in the stage film formation shown in drawing 7 (b), the hydrogenated-amorphous-silicon film 19 (equivalent to the hydrogenation amorphous semiconductor film as used in the field of this invention) is formed like the 4th working example on the base board 5.

[0075]Then, the lamination process shown in drawing 7 (c) is performed. After first performing processing which carries out the flattening of the surface of the contamination protective film 2 (this serves as an insulated separation film at the time of forming SOI structure eventually) on the single crystal silicon substrate 1 in this lamination process, The same hydrophilization treatment as the case of the lamination process in the 1st working example is performed to the surface of the contamination protective film 2, and the surface by the side of the hydrogenated-amorphous-silicon film 19 of the base board 5. It pastes up by the hydrogen bond of the water molecule which adsorbed each substrates 1 and 5 on the silanol group and the surface which were formed in each surface by sticking the single crystal silicon 1 and the base board 5 in respect of [ above-mentioned ] hydrophilization treatment, and pasting them together next.

[0076]Subsequently, in the diffusion process shown in drawing 7 (d), a temperature lower than the lower limit of the temperature (not less than about 500 \*\*) which the exfoliation phenomenon of opposite *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. produces in the one thing of the single crystal silicon substrate 1 and the base board 5 is heat-treated. According to such heat treatment, the hydrogen which carries out solid phase diffusion out of the hydrogenated-amorphous-silicon film 19 comes to be incorporated all over said crystal defect field 3, The element distribution layer 17 for exfoliation in the state where this was intensively located in the high concentration portion (crystal defects are many portions relatively) in the crystal defect field 3 concerned is formed. In this case, as for the hydrogen concentration of the element distribution layer 17 for exfoliation, it is desirable to set up more than  $1 \times 10^{20}$  atoms/cm<sup>3</sup>. It is thought that heat treating time (time required of a diffusion process) required to form the above element distribution layers 17 for exfoliation also becomes almost equivalent to the heat treating time in the diffusion process in said 3rd working example.

[0077]After execution of the above diffusion processes, the peeling process shown in drawing 7 (e) is performed like the 1st working example, the single crystal silicon substrate 1 is exfoliated in element distribution layer 17 portion for exfoliation, and SOI structure is formed. A hot heat treatment process is performed like the 1st working example after execution of a peeling process, After aiming at promotion etc. of the disconnection out of the crystal structure of the fluoride which constitutes strengthening and the crystal defect field 3 of the bonding strength of the lamination side of both the boards 1 and 5, the flattening process shown in drawing 7 (f) is performed like the 1st working

example, and SOI substrate 8' is made completed.

[0078]Although the contamination protective film 2 by the side of the single crystal silicon substrate 1 was considered as the composition used as an insulated separation film at the time of forming SOI structure eventually in this 5th working example, if it has composition which is alike by thermal oxidation etc. and forms an insulator layer on the hydrogenated-amorphous-silicon film 19 by the side of the base board 5, it will also become possible to be able to use this insulator layer now as an insulated separation film, and to remove the above-mentioned contamination protective film 2.

[0079](A 6th embodiment) The 6th working example of this invention is shown in drawing 8, and only a portion which is below different from said 1st working example about this is explained. Drawing 8 shows the basic process in the case of manufacturing a SOI substrate like said drawing 1 with a typical sectional view.

[0080]Namely, in the ion implantation process shown in drawing 8 (a). After forming the contamination protective film 2 which changes from silicon oxide by thermal oxidation etc. on the single crystal silicon substrate 1, The ion which comprises the contamination protective film 2 side from the compounds ( $\text{CH}_4$ ,  $\text{SiH}_4$ ,  $\text{Si}_2\text{H}_6$ ,  $\text{H}_2\text{O}$ , etc.) of hydrogen and the elements for crystal defect formation (for example, carbon, silicon, oxygen, etc.) whose weight is comparatively large as a figure Nakaya seal shows is poured in to the single crystal silicon substrate 1.

[0081]When carrying out the ion implantation of such a hydride, several kinds of choices are possible about the molecule formed from the element for crystal defect formation, and hydrogen. It is generated by hydride ion other than  $\text{CH}_4^+$ , such as  $\text{CH}_3^+$ ,  $\text{CH}_2^+$ , and  $\text{CH}^+$ , when using  $\text{CH}_4$  and specifically being ionized within ion implantation equipment. Since these hydrides have all large ion weight compared with hydrogen, helium, etc., the crystal defect field 20 is easily formed in single crystal silicon, and, moreover, the element distribution layer 21 for exfoliation is formed by arranging hydrogen of molecular ion pouring in the defect region 20.

[0082]In this case, ion implantation energy will be set up according to the depth which forms the crystal defect field 20 and the element distribution layer 21 for exfoliation. More than  $5 \times 10^{15}$  atoms /  $\text{cm}^2$  set up the dose of ion in the state where it converted into the hydrogen atom become more than  $1 \times 10^{16}$  atoms /  $\text{cm}^2$  preferably.

[0083]In next, the lamination process shown in drawing 8 (b) and (c) is performed like the 1st working example, After pasting together the single crystal silicon substrate 1 and the base board 5, the peeling process shown in drawing 8 (d) is performed like the 1st working example, the single crystal silicon substrate 1 is exfoliated in element distribution layer 21 portion for exfoliation, and SOI structure is formed. A hot heat treatment process is performed like the 1st working example after execution of a peeling process, After aiming at promotion etc. of the disconnection out of the crystal structure of the fluoride which constitutes strengthening and the crystal defect field 20 of the bonding strength of the lamination side of both the boards 1 and 5, the flattening process shown in drawing 8 (e) is performed like the 1st working example, and SOI substrate 8 is made completed.

[0084]According to the manufacturing method of such SOI substrate 8, according to 1 time of an ion implantation process. The element distribution layer 21 for exfoliation by the hydrogen located all over the crystal defect field 20 by the element whose weight is comparatively large, and this crystal defect field 20 will be formed simultaneously, and it becomes unnecessary to increase the dose in that ion implantation process. As a result, the throughput in an ion implantation process improves, and divide into multiple times, it becomes unnecessary to perform an ion implantation, and the time which manufacture of SOI substrate 8 takes generally can be shortened substantially.

[0085](Other embodiments) This invention is not limited to each above-mentioned working example,

and following modification or extension are possible for it. The manufacturing method of embedded pattern structure which was described in the 2nd working example is also applicable to each 3rd thru/or 6th working example. Although it had composition using the single crystal silicon substrate 1 as a semiconductor substrate material, If it is the semiconductor which made four group elements the subject, the substrate which could use substrates, such as germanium, SiC, SiGe, or a diamond, and formed single crystal membrane by epitaxial growth on the polycrystalline silicon board, and a single crystal or a porous silicon board, for example can also be used. Although it had composition which forms the hydrogenated-amorphous-silicon films 18 and 19, respectively as a hydrogenation amorphous semiconductor film in the 4th and 5th working examples, these may also be formed based on other semiconductor materials.

[0086]As a material of the base board 5, not only a single crystal silicon substrate but a ceramic substrate, a glass substrate, etc. which have other semiconductor substrates or insulation can be used. If the base board itself has insulation, it will become unnecessary in this case, to form the insulator layer 6 in the base board 15.

[Claim(s)]

[Claim 1]In a manufacturing method of a semiconductor substrate (8, 16) which provides a semiconductor layer for element formation (7) in the state where it insulated with the base board (5) concerned electrically, on a base board (5), By pouring in ion whose weight is comparatively large from the surface of a semiconductor substrate material (1) for forming said semiconductor layer (7), The 1st ion implantation process that forms a crystal defect field (3, 12) from which it was distributed over a prescribed depth range, By pouring in ion which is different from the 1st ion implantation process from the surface of said semiconductor substrate material (1) after execution of this 1st ion implantation process, or before execution, The 2nd ion implantation process that forms an element distribution layer for exfoliation (4) in said crystal defect field (3, 12), A lamination process of pasting together said base board (5) and said semiconductor substrate material (1), A manufacturing method of a semiconductor substrate performing a peeling process which exfoliates said semiconductor substrate material (1) in said element distribution layer (4) portion for exfoliation, and forms said semiconductor layer (7) by heat-treating.

[Claim 2]A manufacturing method of the semiconductor substrate according to claim 1, wherein ion weight other than hydrogen and helium uses comparatively greatly ionic species which can disconnect themselves out of a semiconductor substrate material (1) in said 1st ion implantation process according to heat treatment.

[Claim 3]A manufacturing method of the semiconductor substrate according to claim 1 or 2 characterized by using an atomic ion or molecular ion, such as hydrogen and rare gas, in said 2nd ion implantation process.

[Claim 4]In a manufacturing method of a semiconductor substrate (8) which provides a semiconductor layer for element formation (7) in the state where it insulated with the base board (5) concerned electrically, on a base board (5), By pouring in ion whose weight is comparatively large from the surface of a semiconductor substrate material (1) for forming said semiconductor layer (7), It is under [ ion implantation process / which forms a crystal defect field (3) from which it was distributed over a prescribed depth range /, and atmosphere / which contains a pouring ion element in the ion implantation process concerned, and a different element after execution of this ion implantation process ] setting, By heat-treating a temperature lower than temperature which an exfoliation phenomenon of opposite *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne.



produces in said semiconductor substrate material (1), A diffusion process which incorporates the above-mentioned element all over said crystal defect field (3), and forms an element distribution layer for exfoliation (17) all over the crystal defect field (3) concerned, A lamination process of pasting together said base board (5) and said semiconductor substrate material (1), A manufacturing method of a semiconductor substrate performing a peeling process which exfoliates said semiconductor substrate material (1) in said element distribution layer (17) portion for exfoliation, and forms said semiconductor layer (7) by heat-treating.

[Claim 5] A manufacturing method of the semiconductor substrate according to claim 4 carrying out into a gas atmosphere which contains an element for causing an exfoliation phenomenon of the semiconductor substrate material (1) concerned for heat treatment to said semiconductor substrate material (1), or a compound of the element in said diffusion process.

[Claim 6] A manufacturing method of the semiconductor substrate according to claim 4 performing an element for causing an exfoliation phenomenon of the semiconductor substrate material (1) concerned for heat treatment to said semiconductor substrate material (1), or a compound of the element in plasma-ized atmosphere in said diffusion process.

[Claim 7] A manufacturing method of the semiconductor substrate according to any one of claims 4 to 6 characterized by using hydrogen, a rare gas element, or a hydride in said diffusion process.

[Claim 8] In a manufacturing method of a semiconductor substrate (8) which provides a semiconductor layer for element formation (7) in the state where it insulated with the base board (5) concerned electrically, on a base board (5), By pouring in ion whose weight is comparatively large from the surface of a semiconductor substrate material (1) for forming said semiconductor layer (7), An ion implantation process which forms a crystal defect field (3) from which it was distributed over a prescribed depth range, Stage film formation which forms a hydrogenation amorphous semiconductor film (18) on said semiconductor substrate material (1), By heat-treating a temperature lower than temperature which an exfoliation phenomenon produces with the semiconductor substrate material (1) concerned to said semiconductor substrate material (1) which passed through this stage film formation, A diffusion process which incorporates hydrogen diffused out of said hydrogenation amorphous semiconductor film (18) all over said crystal defect field (3), and forms an element distribution layer for exfoliation (17) all over the crystal defect field (3) concerned, A lamination process of pasting together said base board (5) and said semiconductor substrate material (1), A manufacturing method of a semiconductor substrate performing a peeling process which exfoliates said semiconductor substrate material (1) in said element distribution layer (17) portion for exfoliation, and forms said semiconductor layer (7) by heat-treating.

[Claim 9] A manufacturing method of the semiconductor substrate according to claim 8 performing a removal process which removes said hydrogenation amorphous semiconductor film (18) before execution of said lamination process.

[Claim 10] In a manufacturing method of a semiconductor substrate (8') which provides a semiconductor layer for element formation (7) in the state where it insulated with the base board (5) concerned electrically, on a base board (5), By pouring in ion whose weight is comparatively large from the surface of a semiconductor substrate material (1) for forming said semiconductor layer (7), An ion implantation process which forms a crystal defect field (3) from which it was distributed over a prescribed depth range, Stage film formation which forms a hydrogenation amorphous semiconductor film (19) on said base board (5), A lamination process of pasting together a field and said semiconductor substrate material (1) by the side of a hydrogenation amorphous semiconductor film (19) of said base board (5), By heat-treating a temperature lower than temperature which an

exfoliation phenomenon produces with the semiconductor substrate material (1) concerned to said base board (5) and an one thing of a semiconductor substrate material (1) which passed through this lamination process, A diffusion process which incorporates hydrogen diffused out of said hydrogenation amorphous semiconductor film (19) all over said crystal defect field (3), and forms an element distribution layer for exfoliation (17) all over the crystal defect field (3) concerned, A manufacturing method of a semiconductor substrate performing a peeling process which exfoliates said semiconductor substrate material (1) in said element distribution layer (17) portion for exfoliation, and forms said semiconductor layer (7) by heat-treating.

[Claim 11]A manufacturing method of the semiconductor substrate according to any one of claims 4 to 10 using ionic species whose ion weight other than hydrogen and helium is comparatively large in said ion implantation process.

[Claim 12]In a manufacturing method of a semiconductor substrate (8) which provides a semiconductor layer for element formation (7) in the state where it insulated with the base board (5) concerned electrically, on a base board (5), By pouring in hydride molecular ion which comprises the surface of a semiconductor substrate material (1) for forming said semiconductor layer (7) from a compound of hydrogen and an element for crystal defect formation whose weight is comparatively large, An ion implantation process which forms an element distribution layer for exfoliation (21) which comprises hydrogen located a crystal defect field (20) which comprises the above-mentioned element for crystal defect formation distributed over a prescribed depth range, and all over this crystal defect field (20), A lamination process of pasting together said base board (5) and said semiconductor substrate material (1), A manufacturing method of a semiconductor substrate performing a peeling process which exfoliates said semiconductor substrate material (1) in said element distribution layer (21) portion for exfoliation, and forms said semiconductor layer (7) by heat-treating.

[Claim 13]By performing a pattern structure formation process which forms embedded pattern structure (11) by performing processing treatment to the surface side of said semiconductor substrate material (1) before execution of said lamination process, and performing said peeling process next, A manufacturing method of the semiconductor substrate according to any one of claims 1 to 12 establishing said embedded pattern structure (11) between said base board (5) and a semiconductor layer (7).

[Claim 14]By performing a pattern structure formation process which forms embedded pattern structure (11) by performing processing treatment to the surface side of said base board (5) before execution of said lamination process, and performing said peeling process next, A manufacturing method of the semiconductor substrate according to any one of claims 1 to 12 establishing said embedded pattern structure (11) between said base board (5) and a semiconductor layer (7).

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-233449

(43) 公開日 平成11年(1999) 8月27日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 21/265

H 0 1 L 21/265

Q

21/762

27/12

B

27/12

21/76

D

審査請求 未請求 請求項の数14 O L (全 14 頁)

(21) 出願番号 特願平10-31037

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(22) 出願日 平成10年(1998) 2月13日

(72) 発明者 山内 庄一

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 松井 正樹

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 大島 久純

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

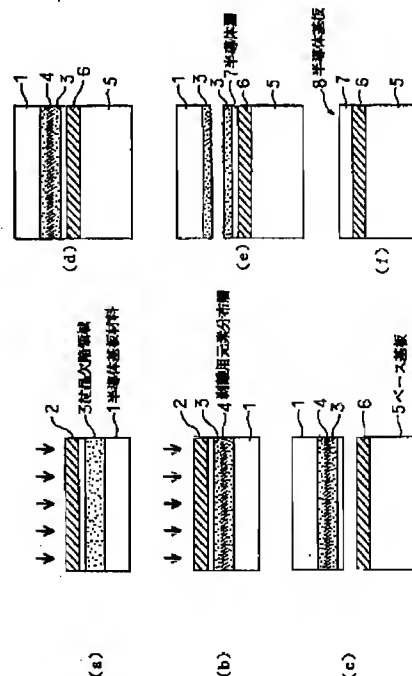
(74) 代理人 弁理士 佐藤 強

(54) 【発明の名称】 半導体基板の製造方法

(57) 【要約】

【課題】 ベース基板上にこれと電気的に絶縁した状態の半導体層を設けて成る半導体基板を製造するに当たって、その半導体層の膜厚均一性を高めること、並びに製造に要する時間を短縮すること。

【解決手段】 (a) 汚染保護膜2を成膜した単結晶シリコン基板1にフッ素イオンを注入して結晶欠陥領域3を形成する第1のイオン注入工程、(b) 単結晶シリコン基板1に対し水素イオンを注入して、結晶欠陥領域3中に剥離用元素分布層4を形成する第2のイオン注入工程、(c) (d) 単結晶シリコン基板1及びベース基板5の表面に親水化処理を施した後に両基板1及び5を親水化処理面で貼り合わせる貼り合わせ工程、(e) 熱処理により単結晶シリコン基板1を剥離用元素分布層4部分で剥離して単結晶シリコン薄膜7を形成する剥離工程、(f) 単結晶シリコン薄膜7の剥離面の面粗度を向上させる平坦化工程を行い、SOI基板8を完成させる。



## 【特許請求の範囲】

【請求項1】 ベース基板(5)上に、当該ベース基板(5)と電気的に絶縁した状態で素子形成用の半導体層(7)を設けて成る半導体基板(8、16)の製造方法において、

前記半導体層(7)を形成するための半導体基板材料(1)の表面から重量が比較的大きいイオンを注入することにより、所定深さ範囲に分布した結晶欠陥領域(3、12)を形成する第1のイオン注入工程と、この第1のイオン注入工程の実行後若しくは実行前に、前記半導体基板材料(1)の表面から第1のイオン注入工程とは異なるイオンを注入することにより、前記結晶欠陥領域(3、12)に剥離用元素分布層(4)を形成する第2のイオン注入工程と、前記ベース基板(5)と前記半導体基板材料(1)とを貼り合わせる貼り合わせ工程と、熱処理を行うことによって前記半導体基板材料(1)を前記剥離用元素分布層(4)部分で剥離して前記半導体層(7)を形成する剥離工程とを実行することを特徴とする半導体基板の製造方法。

【請求項2】 前記第1のイオン注入工程では、水素、ヘリウム以外のイオン重量が比較的大きく且つ熱処理に応じて半導体基板材料(1)中から脱離可能なイオン種を使用することを特徴とする請求項1記載の半導体基板の製造方法。

【請求項3】 前記第2のイオン注入工程では、水素、希ガスなどの原子イオン若しくは分子イオンを用いることを特徴とする請求項1または2記載の半導体基板の製造方法。

【請求項4】 ベース基板(5)上に、当該ベース基板(5)と電気的に絶縁した状態で素子形成用の半導体層(7)を設けて成る半導体基板(8)の製造方法において、

前記半導体層(7)を形成するための半導体基板材料(1)の表面から重量が比較的大きいイオンを注入することにより、所定深さ範囲に分布した結晶欠陥領域(3)を形成するイオン注入工程と、

このイオン注入工程の実行後に、当該イオン注入工程での注入イオン元素と異なる元素を含む雰囲気中において、前記半導体基板材料(1)に対しその剥離現象が生じる温度より低い温度の熱処理を施すことにより、上記元素を前記結晶欠陥領域(3)中に取り込んで当該結晶欠陥領域(3)中に剥離用元素分布層(17)を形成する拡散工程と、

前記ベース基板(5)と前記半導体基板材料(1)とを貼り合わせる貼り合わせ工程と、

熱処理を行うことによって前記半導体基板材料(1)を前記剥離用元素分布層(17)部分で剥離して前記半導体層(7)を形成する剥離工程とを実行することを特徴とする半導体基板の製造方法。

【請求項5】 前記拡散工程では、前記半導体基板材料(1)に対する熱処理を、当該半導体基板材料(1)の剥離現象を引き起こすための元素若しくはその元素の化合物を含むガス雰囲気中において行うことを特徴とする請求項4記載の半導体基板の製造方法。

【請求項6】 前記拡散工程では、前記半導体基板材料(1)に対する熱処理を、当該半導体基板材料(1)の剥離現象を引き起こすための元素若しくはその元素の化合物をプラズマ化した雰囲気中で行うことを特徴とする請求項4記載の半導体基板の製造方法。

【請求項7】 前記拡散工程では、水素、希ガス元素若しくは水素化合物を用いることを特徴とする請求項4ないし6の何れかに記載の半導体基板の製造方法。

【請求項8】 ベース基板(5)上に、当該ベース基板(5)と電気的に絶縁した状態で素子形成用の半導体層(7)を設けて成る半導体基板(8)の製造方法において、

前記半導体層(7)を形成するための半導体基板材料(1)の表面から重量が比較的大きいイオンを注入することにより、所定深さ範囲に分布した結晶欠陥領域(3)を形成するイオン注入工程と、

前記半導体基板材料(1)上に水素化アモルファス半導体膜(18)を成膜する成膜工程と、

この成膜工程を経た前記半導体基板材料(1)に対し、当該半導体基板材料(1)で剥離現象が生じる温度より低い温度の熱処理を施すことにより、前記水素化アモルファス半導体膜(18)中から拡散する水素を前記結晶欠陥領域(3)中に取り込んで当該結晶欠陥領域(3)中に剥離用元素分布層(17)を形成する拡散工程と、前記ベース基板(5)と前記半導体基板材料(1)とを貼り合わせる貼り合わせ工程と、熱処理を行うことによって前記半導体基板材料(1)を前記剥離用元素分布層(17)部分で剥離して前記半導体層(7)を形成する剥離工程とを実行することを特徴とする半導体基板の製造方法。

【請求項9】 前記貼り合わせ工程の実行前に、前記水素化アモルファス半導体膜(18)を取り除く除去工程を実行することを特徴とする請求項8記載の半導体基板の製造方法。

【請求項10】 ベース基板(5)上に、当該ベース基板(5)と電気的に絶縁した状態で素子形成用の半導体層(7)を設けて成る半導体基板(8')の製造方法において、

前記半導体層(7)を形成するための半導体基板材料(1)の表面から重量が比較的大きいイオンを注入することにより、所定深さ範囲に分布した結晶欠陥領域(3)を形成するイオン注入工程と、

前記ベース基板(5)上に水素化アモルファス半導体膜(19)を成膜する成膜工程と、

前記ベース基板(5)の水素化アモルファス半導体膜

(19)側の面と前記半導体基板材料(1)とを貼り合わせる貼り合わせ工程と、

この貼り合わせ工程を経た前記ベース基板(5)及び半導体基板材料(1)の一体物に対し、当該半導体基板材料(1)で剥離現象が生じる温度より低い温度の熱処理を施すことにより、前記水素化アモルファス半導体膜(19)中から拡散する水素を前記結晶欠陥領域(3)中に取り込んで当該結晶欠陥領域(3)中に剥離用元素分布層(17)を形成する拡散工程と、熱処理を行うことによって前記半導体基板材料(1)を前記剥離用元素分布層(17)部分で剥離して前記半導体層(7)を形成する剥離工程とを実行することを特徴とする半導体基板の製造方法。

【請求項11】 前記イオン注入工程では、水素、ヘリウム以外のイオン重量が比較的大きいイオン種を使用することを特徴とする請求項4ないし10の何れかに記載の半導体基板の製造方法。

【請求項12】 ベース基板(5)上に、当該ベース基板(5)と電気的に絶縁した状態で素子形成用の半導体層(7)を設けて成る半導体基板(8)の製造方法において、

前記半導体層(7)を形成するための半導体基板材料(1)の表面から、水素及び重量が比較的大きい結晶欠陥形成用元素の化合物より成る水素化物分子イオンを注入することにより、所定深さ範囲に分布した上記結晶欠陥形成用元素より成る結晶欠陥領域(20)並びにこの結晶欠陥領域(20)中に位置した水素より成る剥離用元素分布層(21)を形成するイオン注入工程と、前記ベース基板(5)と前記半導体基板材料(1)とを貼り合わせる貼り合わせ工程と、熱処理を行うことによって前記半導体基板材料(1)を前記剥離用元素分布層(21)部分で剥離して前記半導体層(7)を形成する剥離工程とを実行することを特徴とする半導体基板の製造方法。

【請求項13】 前記貼り合わせ工程の実行前において、前記半導体基板材料(1)の表面側に加工処理を行うことにより埋込パターン構造(11)を形成するパターン構造形成工程を実行し、この後に前記剥離工程を行うことにより、前記ベース基板(5)及び半導体層(7)間に前記埋込パターン構造(11)を設けることを特徴とする請求項1ないし12の何れかに記載の半導体基板の製造方法。

【請求項14】 前記貼り合わせ工程の実行前において、前記ベース基板(5)の表面側に加工処理を行うことにより埋込パターン構造(11)を形成するパターン構造形成工程を実行し、この後に前記剥離工程を行うことにより、前記ベース基板(5)及び半導体層(7)間に前記埋込パターン構造(11)を設けることを特徴とする請求項1ないし12の何れかに記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ベース基板上にこれと電気的に絶縁した状態で素子形成用の半導体層を設けて成る半導体基板の製造方法に関する。

【0002】

【従来の技術】この種の半導体基板としては、例えば、半導体層として単結晶シリコン薄膜を設ける構成としたSOI基板がある。このようなSOI基板は従来より種々の方法で製造されているが、比較的簡単に製造できる方法として、特開平5-211128号公報中に記載されたような製造方法が知られている。

【0003】

即ち、この製造方法は、第1段階として、上面に汚染保護用の酸化膜が成膜された単結晶シリコン基板中へ、その酸化膜側から水素ガス若しくは希ガスをイオン注入することにより、単結晶シリコン基板の所定深さに注入イオンが分布したイオン注入層を形成する。次に、第2段階として、上記単結晶シリコン基板のイオン注入側の面に、絶縁膜により被覆されたシリコンウェハより成るベース基板を貼り合わせ法などにより結合させる。さらに、第3段階として、上記単結晶シリコン基板及びベース基板の一体物に対して熱処理を施すことにより、前記イオン注入層に形成されるマイクロボイド部分を境界とした剥離現象を引き起こす。これにより、ベース基板上に絶縁膜を介して単結晶シリコン薄膜が接着された状態のSOI基板が形成される。

【0004】

【発明が解決しようとする課題】上記のような製造方法では、単結晶シリコン基板中で剥離現象を引き起こすのに十分な状態のイオン注入層を形成するためには、イオンのドーズ量をきわめて多量に設定する必要がある(水素イオンの場合、 $1 \times 10^{16} \sim 1 \times 10^{17}$  atoms/cm<sup>2</sup>程度)。このため、そのイオン注入工程でのスループットが悪化して、SOI基板の製造に長時間を要するという問題点が出てくる。

【0005】これに対して、基板剥離現象をヘリウム・水素2段イオン注入技術(ヘリウム： $5 \times 10^{15}$  atoms/cm<sup>2</sup>、水素： $1.5 \times 10^{16}$  atoms/cm<sup>2</sup>)によって達成可能であることが知られている(第58回応用物理学会学術講演会講演予稿集(1997、10/秋田大学)の第2分冊、818頁、3p-PB-2参照)。しかしながら、この技術をSOI基板加工に適用したとしても水素のみを注入した場合に比較してきほど注入量は低減できない。従って、ヘリウム・水素2段イオン注入はスループットの点から考えても必ずしも有効な手法とは考えにくい。

【0006】また、一般的に固体中に注入されたイオンの分布は、平均的な注入深さに対してある程度の広がりを持って分布する。この注入深さの広がりには基板剥離によって得られる薄膜層の膜厚の均一性に影響を与えると

考えられる。注入深さの広がりを決める要因は様々であるが、注入量が大きくなると注入元素の空間的な分布量が多くなるため深さ方向の広がりも大きくなる。従って、注入量を低減させることが可能であれば、基板剥離によって得られる薄膜の膜厚均一性の向上も可能となる。

【0007】本発明は上記のような問題点を解決するためになされたものであり、その目的は、基板剥離工程で用いるイオン注入量の低減若しくは注入工程の削減を図ることにある。特に、イオン注入量を低減することにより製造に要する時間を大幅に短縮可能となり、場合によっては剥離した薄膜の膜厚均一性を向上させることができる半導体基板の製造方法を提供することにある。

【0008】

【課題を解決するための手段】請求項1に記載した半導体基板の製造方法によれば、第1のイオン注入工程において、半導体基板材料(1)の表面から重量が比較的大きいイオンが注入されて所定深さ範囲に分布した結晶欠陥領域(3、12)が形成され、この第1のイオン注入工程の実行後若しくは実行前に行われる第2のイオン注入工程において、前記半導体基板材料(1)の表面から第1のイオン注入工程とは異なるイオンが注入されて、前記結晶欠陥領域(3、12)中に上記半導体基板材料(1)の剥離現象を引き起こすための剥離用元素分布層(4)が形成される。

【0009】次いで、貼り合わせ工程において、前記ベース基板(5)と前記半導体基板材料(1)とが貼り合わされた後に、剥離工程において熱処理が施される。このような熱処理に伴い、半導体基板材料(1)において前記剥離用元素分布層(4)部分で生じた微小気泡の圧力上昇により、当該剥離用元素分布層(4)部分を境界とした剥離が生ずる。この結果、ベース基板(5)上に素子形成用の半導体層(7)を薄膜状に形成できることになる。

【0010】このような製造方法によれば、第1のイオン注入工程では、結晶欠陥領域(3、12)が、比較的大きい重量のイオンの注入により効率良く形成されることになって、そのドーズ量を多くする必要がなくなる。また、第2のイオン注入工程において、上記結晶欠陥領域(3、12)中に第1のイオン注入工程とは異なるイオンを注入して剥離用元素分布層(4)を形成した場合には、当該イオンにより剥離用元素分布層のみを形成した場合に比べて、半導体基板材料(1)に剥離現象を引き起こすのに必要なドーズ量が大幅に減少すると考えられる。

【0011】このため、第1のイオン注入工程及び第2のイオン注入工程を行うものでありながら、各イオン注入工程でのドーズ量を、1回のイオン注入により剥離用元素分布層を形成する場合に比べて大幅に低減させることができる。この結果、第1及び第2のイオン注入工程

でのスループットが向上して、半導体基板(8、16)の製造に要する時間を大幅に短縮できるようになる。また、第1のイオン注入工程を行った後に第2のイオン注入工程を行うようにした場合、つまり結晶欠陥領域(3、12)中に後から剥離用元素分布層(4)を形成するようにした場合には、その剥離用元素分布層(4)の深さ位置のばらつき(観測値は $\pm 3\sigma$ の範囲)が、1回のイオン注入により剥離用元素分布層を形成する場合に比べて1/3程度に小さくなることが実験的に分かっている。このため、第1及び第2のイオン注入工程をこの順に行うようにすれば、剥離用元素分布層(4)の深さ位置がイオン注入対象の半導体基板材料(1)の各ロット毎に安定するようになって、半導体層(7)の膜厚均一性を高めることが可能になる。

【0012】請求項4に記載した半導体基板の製造方法によれば、イオン注入工程において、半導体基板材料(1)の表面から重量が比較的大きいイオンが注入されて所定深さ範囲に分布した結晶欠陥領域(3)が形成され、この後の拡散工程において、前記半導体基板材料(1)に対しその剥離現象が生じる温度より低い温度の熱処理が施されるのに応じて、上記元素が前記結晶欠陥領域(3)中に取り込まれ、当該結晶欠陥領域(3)中に位置した状態の剥離用元素分布層(17)が形成されるようになる。

【0013】次いで、貼り合わせ工程において、前記ベース基板(5)と前記半導体基板材料(1)とが貼り合わされた後に、剥離工程において熱処理が施される。このような熱処理に伴い、半導体基板材料(1)において前記剥離用元素分布層(17)部分で生じた微小気泡の圧力上昇により、当該剥離用元素分布層(17)部分を境界とした剥離が生ずる。この結果、ベース基板(5)上に素子形成用の半導体層(7)を薄膜状に形成できることになる。

【0014】このような製造方法によれば、イオン注入工程では、結晶欠陥領域(3)が、比較的大きい重量のイオンの注入により効率良く形成されることになって、そのドーズ量を多くする必要がなくなる。このイオン注入工程後に拡散工程が行われる構成、つまり結晶欠陥領域(3)中に後から剥離用元素分布層(17)が形成される構成により、基板剥離を達成する。

【0015】請求項8に記載した半導体基板の製造方法によれば、イオン注入工程において、半導体基板材料(1)の表面から重量が比較的大きいイオンが注入されて所定深さ範囲に分布した結晶欠陥領域(3)が形成されると共に、成膜工程において、半導体基板材料(1)上に水素化アモルファス半導体膜(18)が成膜される。そして、この後の拡散工程において、前記半導体基板材料(1)に対しその剥離現象が生じる温度より低い温度の熱処理が施されるのに応じて、上記水素化アモルファス半導体膜(18)中から拡散する水素が前記結晶

欠陥領域(3)中に取り込まれて当該結晶欠陥領域(3)中に位置した状態の剥離用元素分布層(17)が形成される。

【0016】次いで、貼り合わせ工程において、前記ベース基板(5)と前記半導体基板材料(1)とが貼り合わされた後に、剥離工程において熱処理が施される。このような熱処理に伴い、半導体基板材料(1)において前記剥離用元素分布層(17)部分で生じた微小気泡の圧力上昇により、当該剥離用元素分布層(17)部分を境界とした剥離が生ずる。この結果、ベース基板(5)上に素子形成用の半導体層(7)を薄膜状に形成できることになる。

【0017】このような製造方法によっても、イオン注入工程では、結晶欠陥領域(3)が、比較的大きい重量のイオンの注入により効率良く形成されることになって、そのドーズ量を多くする必要がなくなる。また、水素供給源となる水素化アモルファス半導体膜(18)の成膜工程が行われた後に、その水素を上記結晶欠陥領域(3)に取り込む拡散工程が行われる構成、つまり結晶欠陥領域(3)中に後から剥離用元素分布層(17)が形成される構成により、基板剥離を達成する。

【0018】請求項10に記載した半導体基板の製造方法によれば、イオン注入工程において、半導体基板材料(1)の表面から比較的重量の大きいイオンが注入されて所定深さ範囲に分布した結晶欠陥領域(3)が形成されると共に、成膜工程において、ベース基板(5)上に水素化アモルファス半導体膜(19)が成膜される。この後、貼り合わせ工程において、前記ベース基板(5)の前記水素化アモルファス半導体膜(19)側の面と前記半導体基板材料(1)とが貼り合わされる。さらに、拡散工程において、前記ベース基板(5)及び半導体基板材料(1)の一体物に対しその半導体基板材料(1)で剥離現象が生じる温度より低い温度の熱処理が施されるのに応じて、上記水素化アモルファス半導体膜(19)中から拡散する水素が前記結晶欠陥領域(3)中に取り込まれ、当該結晶欠陥領域(3)中に位置した状態の剥離用元素分布層(17)が形成されるようになる。

【0019】次いで、剥離工程において熱処理が施されるのに伴い、半導体基板材料(1)において前記剥離用元素分布層(17)部分で生じた微小気泡の圧力上昇により、当該剥離用元素分布層(17)部分を境界とした剥離が生ずる。この結果、ベース基板(5)上に素子形成用の半導体層(7)を薄膜状に形成できることになる。

【0020】このような製造方法によっても、イオン注入工程では、結晶欠陥領域(3)が、比較的大きい重量のイオンの注入により効率良く形成されることになって、そのドーズ量を多くする必要がなくなる。また、ベース基板(5)側に水素供給源となる水素化アモルファス半導体膜(19)を成膜する成膜工程、及びこのベ

ース基板(5)と半導体基板材料(1)を貼り合わせる貼り合わせ工程が行われた後に、その水素化アモルファス半導体(19)中の水素を前記結晶欠陥領域(3)に取り込む拡散工程が行われる構成、つまり結晶欠陥領域(3)中に後から剥離用元素分布層(17)が形成される構成により、基板剥離を達成する。

【0021】請求項12に記載した半導体基板の製造方法によれば、イオン注入工程において、半導体基板材料(1)の表面から、水素及び重量が比較的大きい結晶欠陥形成用元素の化合物より成る水素化分子イオンが注入されるのに応じて、所定深さ範囲に分布した上記結晶欠陥形成用元素より成る結晶欠陥領域(20)並びにこの結晶欠陥領域(20)中に位置した水素より成る剥離用元素分布層(21)が形成される。そして、貼り合わせ工程において、ベース基板(5)と半導体基板材料(1)とが貼り合わされた後に、剥離工程において熱処理が施されるのに伴い、半導体基板材料(1)において前記剥離用元素分布層(21)部分で生じた微小気泡の圧力上昇により、当該剥離用元素分布層(21)部分を境界とした剥離が生ずる。この結果、ベース基板(5)上に素子形成用の半導体層(7)を薄膜状に形成できることになる。

【0022】このような製造方法によれば、1回のイオン注入工程によって、重量が比較的大きい元素による結晶欠陥領域(20)と、この結晶欠陥領域(20)中に位置された水素による剥離用元素分布層(21)が同時に形成されることになり、このように異なる元素より成る結晶欠陥領域(20)及び剥離用元素分布層(21)が形成される結果、イオンのドーズ量を多くする必要がなくなる。このため、イオン注入工程でのスループットが向上するようになり、また、複数回に分けてイオン注入を行う必要がなくなるため、総じて半導体基板(8)の製造に要する時間を大幅に短縮できるようになる。

【0023】

【発明の実施の形態】(第1の実施の形態)図1及び図2には本発明をSOI基板の製造方法に適用した第1実施例が示されており、以下これについて説明する。図1には、SOI基板を製造する場合の基本工程が模式的な断面図により示されている。即ち、図1(a)に示す第1のイオン注入工程では、単結晶シリコン基板1(本発明でいう半導体基板材料に相当)上に、熱酸化などによってシリコン酸化膜より成る汚染保護膜2を成膜した上で、その単結晶シリコン基板1に対し、図中矢印で示すように汚染保護膜2側から例えばフッ素イオンを注入することにより、所定深さ範囲に単結晶シリコン基板1の表面と平行した状態で分布した結晶欠陥領域3を形成する。

【0024】この場合、フッ素イオンのドーズ量は、 $1 \times 10^{14}$  atoms/cm<sup>2</sup>以上、好ましくは $1 \times 10^{15}$  atoms/cm<sup>2</sup>以上に設定する。また、イオン注入エネル



ギーは、結晶欠陥領域3を形成する深さに応じて設定することになる。具体的には、フッ素イオンを注入して、例えば単結晶シリコン基板1の約450nm程度の深さにピークを形成した分布状態を得ようとする場合には、約200KeV前後の注入エネルギーに設定される。

【0025】尚、上記第1のイオン注入工程で使用するイオンは、水素、ヘリウム以外のイオン重量が比較的大きく且つ熱処理に応じて単結晶シリコン中から脱離可能なイオン種であればフッ素に限らないものであり、単結晶シリコン基板1に悪影響を及ぼさないものであれば良い。従って、例えば塩素やシリコン、或いはネオン、アルゴン、キセノンのような希ガスなどを使用できる。また、上記汚染保護膜2は、熱酸化による成膜或いはCVD法やPVD法などによる堆積法によって、均一な膜厚（好ましくは50～100nm程度）となるように形成されるものであるが、必要に応じて設ければ良いものである。

【0026】この後、図1（b）に示す第2のイオン注入工程では、単結晶シリコン基板1の表面から前記第1のイオン注入工程とは異なるイオンである例えば水素イオンを注入することにより、前記結晶欠陥領域3中に上記単結晶シリコン基板1の剥離現象を引き起こすための剥離用元素分布層4を形成する。尚、この剥離用元素分布層4は、単結晶シリコン基板1の表面と平行した状態で分布するように形成されるものである。

【0027】この場合、水素イオンのドーザ量は、 $5 \times 10^{15} \text{ atoms/cm}^2$ 以上、好ましくは $1 \times 10^{16} \text{ atoms/cm}^2$ 以上に設定する。また、イオン注入エネルギーは、このときに形成される剥離用元素分布層4の濃度のピークが前記結晶欠陥領域3の濃度のピークと一致するように設定することが望ましい。具体的には、水素イオンを注入して、結晶欠陥領域3と同一深さ（単結晶シリコン基板1の約450nm程度の深さ）にピークを形成した分布状態を得ようとする場合には、約50KeV程度の注入エネルギーに設定することになる。

【0028】ここで、第1のイオン注入工程でのフッ素イオンのドーザ量を $1 \times 10^{15} \text{ atoms/cm}^2$ 、そのイオン注入エネルギーを約200KeV、また、第2のイオン注入工程での水素イオンのドーザ量を $1 \times 10^{16} \text{ atoms/cm}^2$ 、そのイオン注入エネルギーを約50KeVとした場合、単結晶シリコン基板1中におけるフッ素及び水素の濃度分布のプロファイルは図2に示すようになる。

【0029】そして、このように結晶欠陥領域3及び剥離用元素分布層4の濃度ピークがほぼ一致するように構成された場合には、後述の剥離工程での熱処理によって、単結晶シリコン基板1が当該剥離用元素分布層4部分で剥離される現象を引き起こすのに必要となるドーザ量は、上記のような例（フッ素イオン： $1 \times 10^{15} \text{ atoms/cm}^2$ 、水素イオン： $1 \times 10^{16} \text{ atoms/cm}^2$ ）

で十分な状態になる。尚、第2のイオン注入工程では、水素の原子イオン若しくは分子イオン以外に、ヘリウムのような希ガスなどの原子イオン若しくは分子イオンを用いることができる。

【0030】上記第2のイオン注入工程の実行後には、図1（c）、（d）に示す貼り合わせ工程を実行する。この貼り合わせ工程では、まず、単結晶シリコン基板1上の汚染保護膜2を、例えばフッ酸水溶液を用いた化学エッチング、或いは機械研磨やドライエッチングによって全部除去して、そのイオン注入側の面を露出させる。次いで、例えば単結晶シリコン基板より成るベース基板5を用意し、このベース基板5上に、熱酸化やCVD法などにより均一な膜厚のシリコン酸化膜より成る絶縁膜6を形成する。尚、この絶縁膜6は、最終的にSOI構造を形成した場合に絶縁分離膜になるものであり、その膜厚はSOI基板の設計形状に応じた値に設定される。

【0031】さらに、単結晶シリコン基板1のイオン注入側の表面、並びにベース基板5の絶縁膜6側の表面に親水化処理を施す。具体的には、例えば90～120℃程度に保温された硫酸と過酸化水素水との混合溶液（ $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 4 : 1$ ）による洗浄及び純水洗浄を順次行った後に、スピンドライにより各基板1及び5の表面に吸着する水分量を制御する。そして、この後に、単結晶シリコン1及びベース基板5を上記親水化処理面で密着させて貼り合わせる。これにより各基板1及び5は、各々の表面に形成されたシラノール基及び表面に吸着した水分子の水素結合によって接着される。

【0032】尚、この実施例では、単結晶シリコン基板1上の汚染保護膜2を全部除去する構成としたが、その汚染保護膜2の表面のみを除去することにより貼り合わせ面として利用する構成としても良く、また、このような汚染保護膜2をSOI構造における絶縁分離膜として利用できる場合には、前記ベース基板5側に絶縁膜6を形成する必要がなくなる。

【0033】上記貼り合わせ工程の実行後には図1（e）に示す剥離工程を行う。この剥離工程では、単結晶シリコン基板1及びベース基板5の一体物に対して熱処理を施すことによって、単結晶シリコン基板1を前記剥離用元素分布層4部分で剥離するものであり、これにより、ベース基板5上に絶縁膜6を介して単結晶シリコン薄膜7（本発明でいう半導体層に相当）が積層された形態のSOI構造が形成されることになる。

【0034】このとき、具体的には、本実施例のように剥離用元素分布層4が水素イオンの注入により形成されたものであった場合には、500～600℃程度で熱処理を行うことが好ましい。このような熱処理によって、結晶欠陥領域3中に形成された剥離用元素分布層4内に配置された水素により生じる微小気泡の圧力が上昇するようになり、これに応じて当該剥離用元素分布層4部分を境界とした剥離が生ずることになる。



【0035】この剥離工程の実行後には、引き続いて熱処理工程を実行する。この熱処理工程では、剥離工程での熱処理温度より高温（1000℃以上、好ましくは1150℃～1200℃程度）の熱処理を施すことにより、前記貼り合わせ面の接合強度を強化すると共に、剥離を引き起こした剥離用元素分布層4部分の緩和、並びに結晶欠陥領域3を構成するフッ素の結晶構造中からの脱離を促進する。

【0036】この場合、上記のような単結晶シリコン薄膜7の剥離面には、イオン注入に伴い形成された欠陥層が残存すると共に、微小段差が生ずることになる。このため、本実施例では、上記剥離面に対し化学的機械研磨を施すことにより、上記欠陥層及び微小段差を除去して面粗度を向上させるという平坦化工程（図1（f）参照）を実行し、以て最終的に同図1（f）に示すようなSOI基板8（本発明でいう半導体基板に相当）を完成させるようにしている。但し、上記平坦化工程は必要に応じて行えば良いものである。

【0037】尚、剥離工程を経て単結晶シリコン薄膜7部分が剥離された単結晶シリコン基板1は、例えば、残置された結晶欠陥領域3中からフッ素を脱離させる熱処理工程、剥離面を平坦化するという再生用の平坦化工程を実行することによって、他のSOI基板の製造のために再利用されるものである。

【0038】上記したSOI基板8の製造方法によれば、第1のイオン注入工程においては、結晶欠陥を効率良く形成することができ比較的重量の大きいイオン（本実施例ではフッ素イオン）の注入により、結晶欠陥領域3を形成しているから、そのドーズ量を多くする必要がなくなる。また、第2のイオン注入工程の実行に応じて、上記結晶欠陥領域3中に第1のイオン注入工程とは異なるイオン（本実施例では水素イオン）を注入して剥離用元素分布層4を形成した場合には、当該水素イオンにより剥離用元素分布層4のみを形成した場合に比べて、単結晶シリコン基板1に剥離現象を引き起こすのに必要なドーズ量が大幅に減少することが知られている。

【0039】このため、第1のイオン注入工程及び第2のイオン注入工程を行うものでありながら、各イオン注入工程でのドーズ量を、1回のイオン注入により剥離用元素分布層を形成する場合に比べて大幅に低減させることができる。

【0040】このことを具体的な実例を挙げて説明すると、以下ようになる。即ち、従来のように、単結晶シリコン基板中に水素イオンのみを注入して剥離用元素分布層を形成した場合、熱処理に応じて上記剥離用元素分布層部分で確実な剥離現象を発生させるためには、例えば $8 \times 10^{16}$  atoms/cm<sup>2</sup>程度のドーズ量に設定することが望ましい。これに対して、本実施例による製造方法において、剥離用元素分布層4部分で確実な剥離現象を発生させるためには、結晶欠陥領域3のためのフッ素

イオンのドーズ量は $1 \times 10^{15}$  atoms/cm<sup>2</sup>程度、剥離用元素分布層4のための水素イオンのドーズ量は $1 \times 10^{16}$  atoms/cm<sup>2</sup>程度で済むことが実験的に明らかとなっている。

【0041】このような第1のイオン注入工程及び第2のイオン注入工程を行う場合のイオン注入時間の合計は0.45時間程度（実際には、この他に各工程間の切換のために5～10分程度必要）で済むのに対して、従来の製造方法では、水素イオンの注入時間が3.2時間程度必要になる。従って、本実施例の製造方法によれば、第1及び第2のイオン注入工程を通じてのスループットが、水素イオンの注入のみを行う従来の製造方法に比べて格段に向上するものであり、SOI基板8の製造に要する時間を大幅に短縮できるようになる。

【0042】また、本実施例のように、第1のイオン注入工程を行った後に第2のイオン注入工程を行うようにした場合、つまり結晶欠陥領域3中に後から剥離用元素分布層4を形成するようにした場合には、その剥離用元素分布層4の深さ位置のばらつき（観測値は $\pm 3\sigma$ の範囲）が結晶欠陥領域3を形成しない場合に比べて1/3程度に小さくなることが実験的に知られている。これは少ないイオン注入量で基板剥離を実現したことによるものであり、単結晶シリコン薄膜7の膜厚均一性を高めることが可能になる。尚、上記第1実施例において、第1のイオン注入工程及び第2のイオン注入工程は、逆順で行っても良いものである。

【0043】（第2の実施の形態）図3及び図4には本発明の第2実施例が示されており、以下これについて前記第1実施例と異なる部分についてのみ説明する。尚、図3及び図4は、前記図1と同様にSOI基板を製造する場合の基本工程を模式的な断面図により示したものである。即ち、この第2実施例は、SOI基板におけるベース基板及び単結晶シリコン薄膜間に、埋込パターン構造（例えばFETのような素子のためのバックゲートなど）を形成する場合に適した製造方法を開示しようとするものである。

【0044】まず、図3（a）に示すパターン構造形成工程では、単結晶シリコン基板1の表面側に、熱酸化などによって最終的に絶縁膜9（図4（j）参照）となるシリコン酸化膜9aを形成する。続いて、CVD法などにより多結晶シリコンを堆積させた後に、その堆積膜をフォトリソグラフィ処理及びエッチング処理によりパターンニングすることにより、所定形状の多結晶シリコン膜10を形成する。さらに、CVD法などによって最終的に絶縁膜9となるシリコン酸化膜9bを堆積させ、以て埋込パターン構造11を形成する。

【0045】次に、図3（b）に示す第1のイオン注入工程では、単結晶シリコン基板1に対し、図中矢印で示すように埋込パターン構造11側から例えばフッ素イオンを注入することにより、所定深さ範囲に分布した結晶

欠陥領域12を形成する。尚、この結晶欠陥領域12は、埋込パターン構造11の存在に起因して波打った状態となる。この場合、フッ素イオンのドーズ量は、 $1 \times 10^{14}$  atoms/cm<sup>2</sup>以上、好ましくは $1 \times 10^{15}$  atoms/cm<sup>2</sup>以上に設定する。また、イオン注入エネルギーは、結晶欠陥領域12を形成する深さに応じて設定することになる。

【0046】この後には、図3(c)、(d)に示すように、単結晶シリコン基板1に対し前記第1のイオン注入工程とは異なるイオンである例えば水素イオンを注入するための第2のイオン注入工程を2回に分けて実行する。つまり、前記結晶欠陥領域12中に単結晶シリコン基板1の表面と平行した状態で分布した剥離用元素分布層4を形成するためには、イオン注入領域の構造の相違によるイオン注入深さの変化を考慮してイオン注入エネルギーを制御する必要があるため、第2のイオン注入工程を2回に分けて実行するものである。

【0047】具体的には、第2のイオン注入工程では、まず、図3(c)に示すように、単結晶シリコン基板1上の埋込パターン構造11における多結晶シリコン膜10と対応した部分にフォトリソによるレジストパターン13を形成し、この状態で1回目の水素イオンの注入を行うことによりイオン注入領域4aを形成する。次いで、図3(d)に示すように、上記レジストパターン13を剥離した後に、埋込パターン構造11における多結晶シリコン膜10と対応しない部分にフォトリソによるレジストパターン14を形成し、この状態で2回目の水素イオンの注入を、そのイオン注入エネルギーを1回目より大きくした状態で行うことによりイオン注入領域4bを形成する。尚、水素イオンのドーズ量は、 $5 \times 10^{15}$  atoms/cm<sup>2</sup>以上、好ましくは $1 \times 10^{16}$  atoms/cm<sup>2</sup>以上に設定する。また、レジストパターン14は、イオン注入後に剥離される。

【0048】この場合、1回目及び2回目のイオン注入エネルギーは、イオン注入領域4a及び4bの濃度ピークが同一の深さとなるように設定されるものであり、これにより、結晶欠陥領域12中に単結晶シリコン基板1の表面と平行した状態で分布した剥離用元素分布層4が形成される。

【0049】また、この場合において、フッ素イオンの注入により形成された結晶欠陥領域12は波打った状態となっているが、前述した図2に示すように、単結晶シリコン基板1中におけるフッ素の濃度分布は、その深さの変化に対し比較的緩やかに変化しているから、大きな支障が出ることはない。つまり、結晶欠陥領域12は、その濃度が $1 \times 10^{19}$  atoms/cm<sup>3</sup>以上あれば所期の目的を達成できるものであり、従って、波打った状態の結晶欠陥領域12中に単結晶シリコン基板1の表面と平行した状態の剥離用元素分布層4を形成しても支障がなくなるものである。

【0050】尚、前記第1のイオン注入工程を、上述したような第2のイオン注入工程と同様の手法により2回に分けて実行することにより、所定深さ範囲に単結晶シリコン基板1の表面と平行した状態で分布した結晶欠陥領域を形成する構成とすることもできる。

【0051】次に、図3(e)に示す平坦化膜成膜工程では、埋込パターン構造11上に、CVD法やPVD法などを用いて多結晶シリコン、アモルファスシリコン或いは酸化シリコンなどより成る平坦化処理膜15を形成する。この後、図3(f)に示す貼り合わせ面形成工程では、上記平坦化処理膜15の表面を研磨することにより、下地となる埋込パターン構造11に起因する表面段差を除去し、以てその表面を平坦化する。

【0052】この後には、図4(g)、(h)に示す貼り合わせ工程を実行する。この貼り合わせ工程では、まず、単結晶シリコン基板1における平坦化処理膜15の表面、並びにベース基板5の表面に、前記第1実施例と同様の親水化処理を施す。そして、この後に、単結晶シリコン1及びベース基板5を上記親水化処理面で密着させて貼り合わせる。これにより各基板1及び5は、各々の表面に形成されたシラノール基及び表面に吸着した水分子の水素結合によって接着される。

【0053】上記貼り合わせ工程の実行後には図4

(i)に示す剥離工程を行う。この剥離工程では、単結晶シリコン基板1及びベース基板5の一体物に対して、第1実施例と同様の熱処理を施すことによって、単結晶シリコン基板1を前記剥離用元素分布層4部分で剥離するものであり、これにより、ベース基板5上に埋込パターン構造11などを介して単結晶シリコン薄膜7が積層された形態のSOI構造が形成されることになる。

【0054】この剥離工程の実行後には、引き続き熱処理工程(処理条件は第1実施例と同じ)を実行することにより、前記貼り合わせ面の接合強度を強化すると共に、剥離を引き起こした剥離用元素分布層4部分の緩和、並びに結晶欠陥領域12を構成するフッ素の結晶構造中からの脱離を促進する。さらに、上記剥離面に対し化学的機械研磨を施すという平坦化工程(図4(j)参照)を実行し、以て最終的に図4(j)に示すような埋込パターン構造11を備えたSOI基板16(本発明でいう半導体基板に相当)を完成させるようにしている。尚、上記平坦化工程は必要に応じて行えば良いものである。

【0055】このように構成した本実施例によっても、前記第1実施例と同様の効果を奏するものである。特に、本実施例によれば、SOI基板16における単結晶シリコン薄膜7と埋込パターン構造11との間の接合面が、単結晶シリコン基板1とこれの表面に熱酸化などによって形成されたシリコン酸化膜9aとの界面に相当することになるから、その界面を安定した状態とすることができてSOI基板としての特性が向上するようにな

る。

【0056】尚、上記第2実施例では、パターン構造形成工程において、単結晶シリコン基板1側に埋込パターン構造11を形成しておく構成としたが、これに代えて、ベース基板5の表面側に加工処理を行うことにより埋込パターン構造を形成するパターン構造形成工程を実行し、この後に、平坦化膜成膜工程、貼り合わせ面形成工程、貼り合わせ工程、剥離工程などを同様に行うことにより、ベース基板5及び単結晶シリコン薄膜7間に前記埋込パターン構造を設ける構成としても良い。この場合には、第2実施例のように第2のイオン注入工程を2回に分けて行う必要がなくなる。

【0057】(第3の実施の形態)図5には本発明の第3実施例が示されており、以下これについて前記第1実施例と異なる部分についてのみ説明する。尚、図5は、前記図1と同様にSOI基板を製造する場合の基本工程を模式的な断面図により示したものである。

【0058】即ち、図5(a)に示すイオン注入工程では、第1実施例における第1のイオン注入工程と同様に、単結晶シリコン基板1上に、熱酸化などによってシリコン酸化膜より成る汚染保護膜2を成膜した上で、その単結晶シリコン基板1に対し、図中矢印で示すように汚染保護膜2側から例えばフッ素イオンを注入することにより、所定深さ範囲に単結晶シリコン基板1の表面と平行した状態で分布した結晶欠陥領域3を形成する。

【0059】この後、図5(b)に示す拡散工程では、上記イオン注入工程での注入イオン元素(フッ素)と異なる元素である例えば水素ガスを含む雰囲気中において、単結晶シリコン基板1に対しその剥離現象が生じる温度(500℃程度以上)の下限値より低い温度の熱処理を施す。尚、上記水素ガス雰囲気は、例えば、大気圧或いは減圧した状態(真空状態も含む)のエアチャンバー内にキャリアガスとして水素を流すことにより形成すれば良い。

【0060】このような熱処理に応じて、水素ガス雰囲気中から前記結晶欠陥領域3中に水素が取り込まれるようになり、これにより当該結晶欠陥領域3中の高濃度部分(結晶欠陥が相対的に多い部分)に集中的に位置した状態の剥離用元素分布層17が形成される。この場合、剥離用元素分布層17の水素濃度は、 $1 \times 10^{20}$  atom/cm<sup>3</sup>以上に設定することが望ましい。

【0061】尚、上記のような剥離用元素分布層17を形成するのに必要な熱処理時間(拡散工程の所要時間)は、以下の関係式から導き出すことができる。即ち、例えばS.J.Pearson、J.W.Corbett、M.Stavola 著の“Hydrogen in Crystalline Semiconductors”, Springer-Verlag社発刊(1991年10月)に記載されているように、シリコンに対し熱処理により不純物拡散するときの拡散長X(cm)の平均値は、 $X = (D \cdot t)^{1/2}$

で与えられる。但し、Dは拡散係数(cm<sup>2</sup>/sec)、tは熱処理時間(sec)である。また、拡散係数Dは、次式で与えられる。

$$【0062】D = D_0 \cdot \exp(-E_a / kT)$$

但し、D<sub>0</sub>は温度が無限大のときのDの値で、 $D_0 = 4.2 \times 10^{-5}$  (cm<sup>2</sup>/sec)、E<sub>a</sub>は活性化エネルギー(=0.56(eV))、kはボルツマン係数(=8.667×10<sup>-5</sup> (eV/K))、Tは温度(K)である。

【0063】例えば、熱処理温度が200℃、汚染保護膜2の膜厚が100nmの状態、単結晶シリコン基板1中に400nmの深さまで水素を拡散させる際の熱処理時間を求める場合において、上記汚染保護膜2を構成するシリコン酸化膜中の拡散係数もほぼ同等として大ざっぱに仮定した場合には、上記各関係式に基づいた演算によれば、およそ1.5時間程度の熱処理を施せば良いことが分かる。

【0064】一方、上記のような拡散工程の実行後には、図5(c)、(d)に示す貼り合わせ工程を第1実施例と同様に実行して、単結晶シリコン基板1とベース基板5とを貼り合わせた後に、図5(e)に示す剥離工程を第1実施例と同様に実行して、単結晶シリコン基板1を剥離用元素分布層17部分で剥離し、SOI構造を形成する。さらに、剥離工程の実行後に高温の熱処理工程を第1実施例と同様に実行して、両基板1及び5の貼り合わせ面の接合強度の強化や結晶欠陥領域3を構成するフッ素の結晶構造中からの脱離の促進などを図った後に、図5(f)に示す平坦化工程を第1実施例と同様に実行して、SOI基板8を完成させることになる。

【0065】この第3実施例による製造方法によっても、イオン注入工程では、結晶欠陥を効率良く形成することができる比較的重量の大きいフッ素イオンの注入により、結晶欠陥領域3を形成しているから、そのドーズ量を多くする必要がなくなり、当該イオン注入工程の所要時間が短くなる。また、この後に行われる拡散工程の所要時間も、前述したような条件によれば1.5時間程度で済むものであり、イオン注入工程及び拡散工程を通じてのスループットが、水素イオンの注入のみを行う従来の製造方法に比べて向上するものであり、SOI基板8の製造に要する時間を短縮できるようになる。

【0066】尚、この第3実施例において、拡散工程での熱処理を水素ガス雰囲気中で行う構成としたが、水素をプラズマ化した真空状態の雰囲気中で行う構成としても良い。また、拡散工程で使用する元素は水素に限らず、ヘリウムなどの希ガスや、NH<sub>4</sub>、CH<sub>4</sub>、H<sub>2</sub>Oなどの水素化物物を使用しても良いものである。

【0067】(第4の実施の形態)図6には、上記第3実施例とほぼ同様の効果を奏する本発明の第4実施例が示されており、以下これについて前記第1実施例及び第3実施例と異なる部分についてのみ説明する。尚、図6

は、前記図1と同様にS O I基板を製造する場合の基本工程を模式的な断面図により示したものである。

【0068】即ち、図6(a)に示すイオン注入工程では、第1実施例における第1のイオン注入工程と同様に、単結晶シリコン基板1上に、熱酸化などによってシリコン酸化膜より成る汚染保護膜2を成膜した上で、その単結晶シリコン基板1に対し、図中矢印で示すように汚染保護膜2側から例えばフッ素イオンを注入することにより、所定深さ範囲に単結晶シリコン基板1の表面と平行した状態で分布した結晶欠陥領域3を形成する。

【0069】次に、図6(b)に示す成膜工程では、汚染保護膜2を残した状態若しくは除去した状態(図6(b)以降の例は残した状態を示す)において、単結晶シリコン基板1上に、水素化アモルファスシリコン膜18(本発明でいう水素化アモルファス半導体膜に相当)を形成する。具体的には、上記水素化アモルファスシリコン膜18は、シリコン系のガスソース(例えばSiH<sub>4</sub>のArまたはH<sub>2</sub>希釈ガス)を用いた高周波プラズマCVD法によって例えば350℃、0.5torrの条件下で堆積されるもので、その水素濃度は、例えば $5 \times 10^{21}$  atoms/cm<sup>3</sup>程度とされる。また、水素化アモルファスシリコン膜18の膜厚は、その水素濃度が上記のような状態であった場合に10nm程度以上に設定すれば良い。

【0070】この後、図6(c)に示す拡散工程では、単結晶シリコン基板1に対しその剥離現象が生じる温度(500℃程度以上)の下限値より低い温度の熱処理を施す。このような熱処理に応じて、水素化アモルファスシリコン膜18中から固相拡散する水素が前記結晶欠陥領域3中に取り込まれるようになり、これにより当該結晶欠陥領域3中の高濃度部分(結晶欠陥が相対的に多い部分)に集中的に位置した状態の剥離用元素分布層17が形成される。この場合、剥離用元素分布層17の水素濃度は、 $1 \times 10^{20}$  atoms/cm<sup>3</sup>以上に設定することが望ましい。尚、上記のような剥離用元素分布層17を形成するのに必要な熱処理時間(拡散工程の所要時間)は、前記第3実施例における拡散工程での熱処理時間とほぼ同等になると考えられる。

【0071】上記のような拡散工程の実行後には、例えばTMAH或いはフッ硝酸系のエッチング液を使用して水素化アモルファスシリコン膜18を取り除く除去工程を行った後に、図6(c)、(d)に示す貼り合わせ工程を前記第1実施例と同様に実行する。この貼り合わせ工程では、汚染保護膜2の除去や、貼り合わせ面の親水化処理などを行った状態で、単結晶シリコン基板1とベース基板5とを貼り合わせる。この後に、図6(e)に示す剥離工程を第1実施例と同様に実行して、単結晶シリコン基板1を剥離用元素分布層17部分で剥離し、S O I構造を形成する。さらに、剥離工程の実行後に高温の熱処理工程を第1実施例と同様に実行して、両基板1

及び5の貼り合わせ面の接合強度の強化や結晶欠陥領域3を構成するフッ素の結晶構造中からの脱離の促進などを図った後に、図6(f)に示す平坦化工程を第1実施例と同様に実行して、S O I基板8を完成させることになる。

【0072】尚、この第4実施例において、汚染保護膜2を残すことによって、これをS O I構造の絶縁分離膜として機能させる構成とする場合には、水素化アモルファスシリコン膜18を取り除くための除去工程は、必要に応じて行えば良いものである。

【0073】(第5の実施の形態)図7には、上記第4実施例に変更を加えた本発明の第5実施例が示されており、以下これについて前記第1実施例及び第4実施例と異なる部分についてのみ説明する。尚、図7は、前記図1と同様にS O I基板を製造する場合の基本工程を模式的な断面図により示したものである。

【0074】即ち、図7(a)に示すイオン注入工程では、第1実施例における第1のイオン注入工程と同様の処理を行う。次に、図7(b)に示す成膜工程では、ベース基板5上に、水素化アモルファスシリコン膜19(本発明でいう水素化アモルファス半導体膜に相当)を、第4実施例と同様に形成する。

【0075】この後、図7(c)に示す貼り合わせ工程を実行する。この貼り合わせ工程では、まず、単結晶シリコン基板1上の汚染保護膜2(これは最終的にS O I構造を形成した場合の絶縁分離膜となる)の表面を平坦化する処理を行った後に、その汚染保護膜2の表面、並びにベース基板5の水素化アモルファスシリコン膜19側の表面に、第1実施例における貼り合わせ工程の場合と同様の親水化処理を施す。この後に、単結晶シリコン1及びベース基板5を上記親水化処理面で密着させて貼り合わせることににより各基板1及び5を、各々の表面に形成されたシラノール基及び表面に吸着した水分子の水素結合によって接着する。

【0076】次いで、図7(d)に示す拡散工程では、単結晶シリコン基板1及びベース基板5の一体物に対しその剥離現象が生じる温度(500℃程度以上)の下限値より低い温度の熱処理を施す。このような熱処理に応じて、水素化アモルファスシリコン膜19中から固相拡散する水素が前記結晶欠陥領域3中に取り込まれるようになり、これにより当該結晶欠陥領域3中の高濃度部分(結晶欠陥が相対的に多い部分)に集中的に位置した状態の剥離用元素分布層17が形成される。この場合、剥離用元素分布層17の水素濃度は、 $1 \times 10^{20}$  atoms/cm<sup>3</sup>以上に設定することが望ましい。尚、上記のような剥離用元素分布層17を形成するのに必要な熱処理時間(拡散工程の所要時間)も、前記第3実施例における拡散工程での熱処理時間とほぼ同等になると考えられる。

【0077】上記のような拡散工程の実行後には、図7(e)に示す剥離工程を第1実施例と同様に実行して、

単結晶シリコン基板1を剥離用元素分布層17部分で剥離し、SOI構造を形成する。さらに、剥離工程の実行後に高温の熱処理工程を第1実施例と同様に実行して、両基板1及び5の貼り合わせ面の接合強度の強化や結晶欠陥領域3を構成するフッ素の結晶構造中からの脱離の促進などを図った後に、図7(f)に示す平坦化工程を第1実施例と同様に実行して、SOI基板8'を完成させることになる。

【0078】尚、この第5実施例では、単結晶シリコン基板1側の汚染保護膜2を、最終的にSOI構造を形成した場合の絶縁分離膜として利用する構成としたが、ベース基板5側の水素化アモルファスシリコン膜19上に熱酸化などにより絶縁膜を形成する構成とすれば、この絶縁膜を絶縁分離膜として利用できるようになって、上記汚染保護膜2を除去することも可能になる。

【0079】(第6の実施の形態)図8には本発明の第6実施例が示されており、以下これについて前記第1実施例と異なる部分についてのみ説明する。尚、図8は、前記図1と同様にSOI基板を製造する場合の基本工程を模式的な断面図により示したものである。

【0080】即ち、図8(a)に示すイオン注入工程では、単結晶シリコン基板1上に、熱酸化などによってシリコン酸化膜より成る汚染保護膜2を成膜した上で、その単結晶シリコン基板1に対し、図中矢印で示すように汚染保護膜2側から、水素と重量が比較的大きい結晶欠陥形成用元素(例えば炭素、シリコン、酸素など)との化合物( $\text{CH}_4$ 、 $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_3$ 、 $\text{H}_2\text{O}$ など)より成るイオンを注入する。

【0081】このような水素化合物をイオン注入する上では、結晶欠陥形成用元素と水素とで形成される分子について何種類かの選択が可能である。具体的には、 $\text{CH}_4$ を用いる場合には、イオン注入装置内でイオン化される際に、 $\text{CH}_4^+$ の他に、 $\text{CH}_3^+$ 、 $\text{CH}_2^+$ 、 $\text{CH}^+$ などの水素化合物イオンが発生する。これらの水素化合物は何れも水素やヘリウムなどに比べてイオン重量が大きいいため、単結晶シリコン中で容易に結晶欠陥領域20を形成し、なおかつ、分子イオン注入の水素がその欠陥領域20内に配置されることにより剥離用元素分布層21が形成される。

【0082】この場合、イオン注入エネルギーは、結晶欠陥領域20及び剥離用元素分布層21を形成する深さに応じて設定することになる。また、イオンのドーズ量は、水素原子に換算した状態で $5 \times 10^{15} \text{ atoms/cm}^2$ 以上、好ましくは $1 \times 10^{16} \text{ atoms/cm}^2$ 以上となるように設定する。

【0083】この後には、図8(b)、(c)に示す貼り合わせ工程を第1実施例と同様に実行して、単結晶シリコン基板1とベース基板5とを貼り合わせた後に、図8(d)に示す剥離工程を第1実施例と同様に実行して、単結晶シリコン基板1を剥離用元素分布層21部分

で剥離し、SOI構造を形成する。さらに、剥離工程の実行後に高温の熱処理工程を第1実施例と同様に実行して、両基板1及び5の貼り合わせ面の接合強度の強化や結晶欠陥領域20を構成するフッ素の結晶構造中からの脱離の促進などを図った後に、図8(e)に示す平坦化工程を第1実施例と同様に実行して、SOI基板8を完成させることになる。

【0084】このようなSOI基板8の製造方法によれば、1回のイオン注入工程によって、重量が比較的大きい元素による結晶欠陥領域20と、この結晶欠陥領域20中に位置された水素による剥離用元素分布層21が同時に形成されることになって、そのイオン注入工程でのドーズ量を多くする必要がなくなる。この結果、イオン注入工程でのスループットが向上すると共に、複数回に分けてイオン注入を行う必要がなくなるものであり、総じてSOI基板8の製造に要する時間を大幅に短縮できるようにする。

【0085】(その他の実施の形態)本発明は上記した各実施例に限定されるものではなく、次のような変形または拡張が可能である。第2実施例中で述べたような埋込パターン構造の製造手法を第3ないし第6の各実施例に適用することもできる。半導体基板材料として単結晶シリコン基板1を用いる構成としたが、4族元素を主体とした半導体であれば、例えば、Ge、SiC、SiGe或いはダイヤモンドなどの基板を用いることができ、また多結晶シリコン基板や、単結晶若しくは多孔質シリコン基板上に、エピタキシャル成長により単結晶膜を形成した基板を用いることもできる。第4及び第5実施例では、水素化アモルファス半導体膜として、水素化アモルファスシリコン膜18及び19をそれぞれ形成する構成としたが、これらも他の半導体材料を元に形成しても良いものである。

【0086】ベース基板5の材料としては、単結晶シリコン基板に限らず、他の半導体基板或いは絶縁性を有するセラミック基板やガラス基板などを用いることができる。この場合、ベース基板そのものが絶縁性を有するものであれば、ベース基板15に絶縁膜6を設ける必要がなくなる。

#### 【図面の簡単な説明】

【図1】本発明の第1実施例による製造方法を示す模式的に示す断面図

【図2】製造途中の段階での単結晶シリコン基板中のフッ素及び水素の濃度分布のプロファイルを示す図

【図3】本発明の第2実施例による製造方法を示す模式的に示す断面図その1

【図4】同第2実施例による製造方法を示す模式的に示す断面図その2

【図5】本発明の第3実施例による製造方法を示す模式的に示す断面図

【図6】本発明の第4実施例による製造方法を示す模式

的に示す断面図

【図7】本発明の第5実施例による製造方法を示す模式的に示す断面図

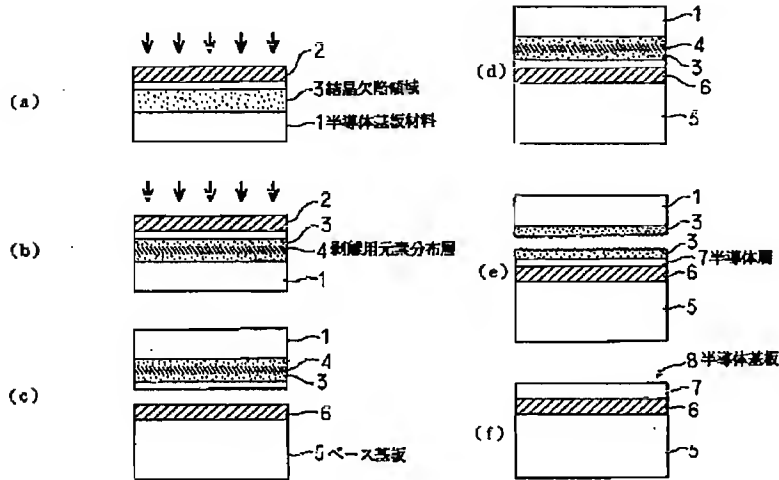
【図8】本発明の第6実施例による製造方法を示す模式的に示す断面図

【符号の説明】

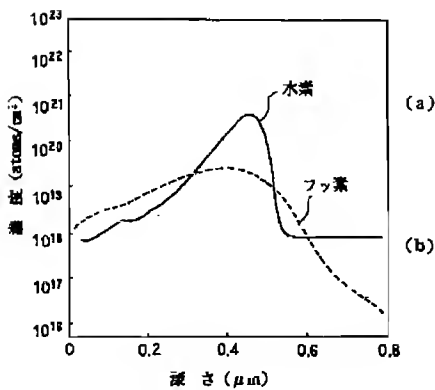
1は単結晶シリコン基板（半導体基板材料）、2は汚染保護膜、3は結晶欠陥領域、4は剥離用元素分布層、5

はベース基板、6は絶縁膜、7は単結晶シリコン薄膜（半導体層）、8、8'はSOI基板（半導体基板）、9は絶縁膜、10は多結晶シリコン膜、11は埋込パターン構造、12は結晶欠陥領域、15は平坦化処理膜、16はSOI基板（半導体基板）、17は剥離用元素分布層、18、19は水素化アモルファスシリコン膜（水素化アモルファス半導体膜）、20は結晶欠陥領域、21は剥離用元素分布層を示す。

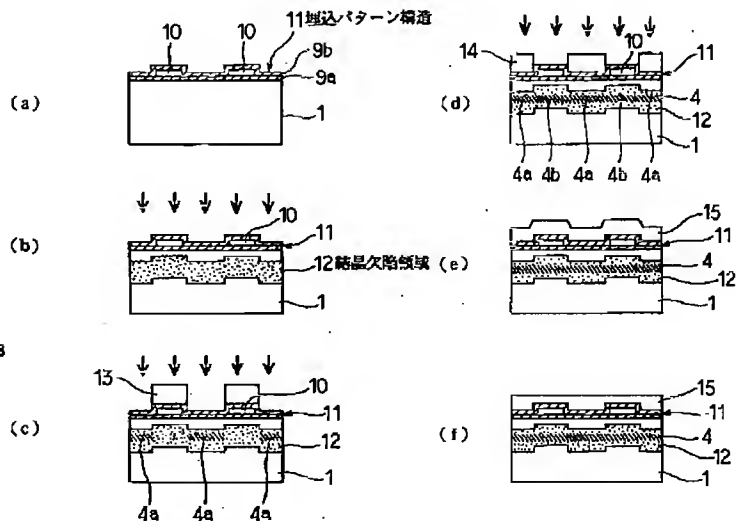
【図1】



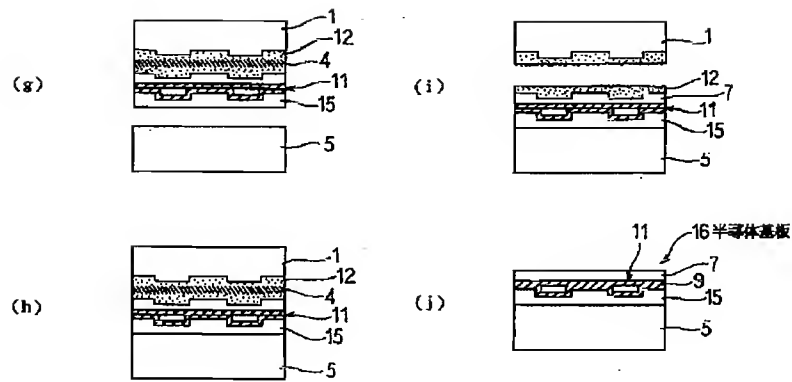
【図2】



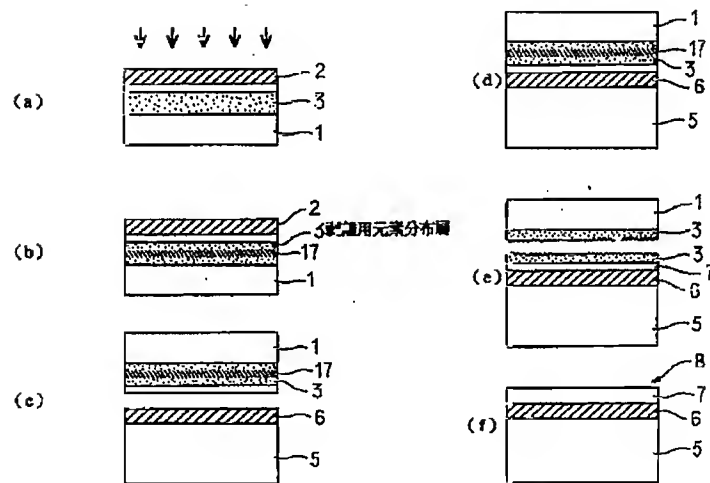
【図3】



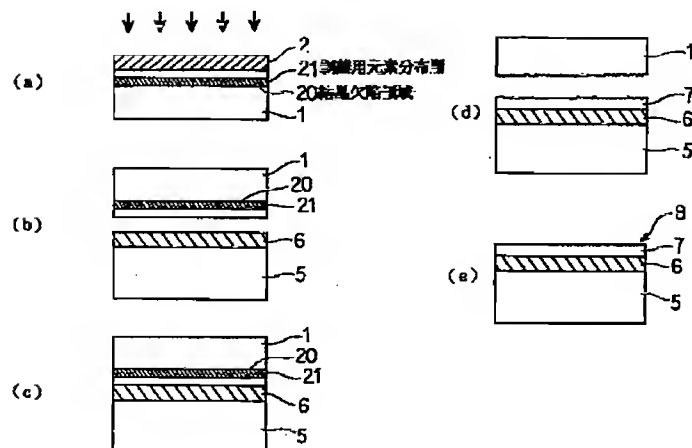
【図4】



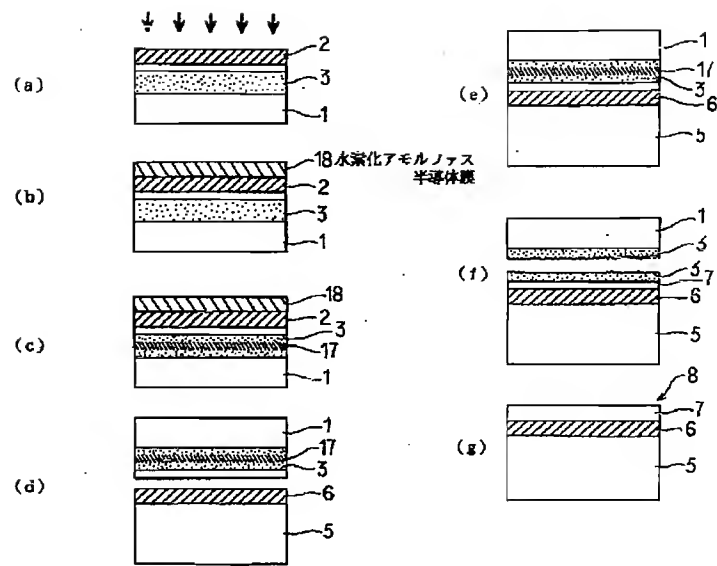
【図5】



【図8】



【図6】



【図7】

